

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-189228

(P2002-189228A)

(43) 公開日 平成14年7月5日(2002.7.5)

(51) Int.Cl. ⁷	識別記号	F I	テ-マ-ト (参考)
G 0 2 F 1/1345		G 0 2 F 1/1345	2 H 0 8 8
1/13	1 0 1	1/13	2 H 0 8 9
	5 0 5		2 H 0 9 2
1/1341		1/1341	5 C 0 9 4
1/1343		1/1343	5 G 4 3 5
審査請求 有 請求項の数19 O L (全 19 頁) 最終頁に続く			

(21) 出願番号 特願2001-277092(P2001-277092)

(22) 出願日 平成13年9月12日(2001.9.12)

(31) 優先権主張番号 特願2000-300929(P2000-300929)

(32) 優先日 平成12年9月29日(2000.9.29)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 村出 正夫

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(72) 発明者 内田 雅秀

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(74) 代理人 100095728

弁理士 上柳 雅彦 (外2名)

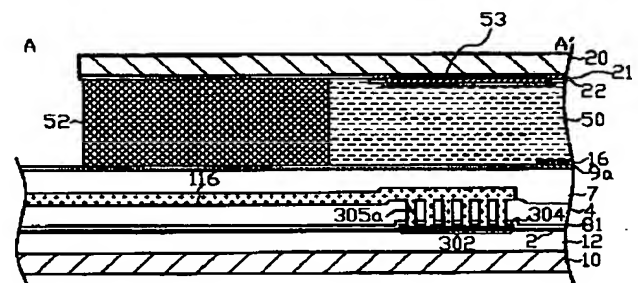
最終頁に続く

(54) 【発明の名称】 電気光学装置及びその製造方法、並びに投射型表示装置

(57) 【要約】

【課題】 液晶装置等の電気光学装置において、比較的簡単な構成で一方の基板上の配線と他方の基板上の対向電極との間における寄生容量を低減して、ゴーストの低減された高品位の画像表示を行なう。

【解決手段】 電気光学装置は、TFTアレレイ基板(10)に、画素電極(9a)と、これに接続されたTFT(30)を備える。更に、周辺領域(額縁領域やシール領域を含む)には、画素電極の駆動に係るデータ線駆動回路(101)やサンプリング回路(301)等の周辺回路と、画像信号等を供給する配線とを備える。対向基板(20)上には、このような配線に対向する領域を避けて対向電極(21)が形成される。



(2)

1

【特許請求の範囲】

【請求項1】 一对の第1及び第2基板間に電気光学物質が挟持されてなり、

前記第1基板上における画像表示領域に、複数の画素電極を備えており、

前記第1基板上における前記画像表示領域及び前記画像表示領域の周辺に位置する周辺領域に、前記画素電極に信号を供給するための配線を備えており、

前記第2基板上における前記複数の画素電極に対向すると共に前記配線のうち少なくとも前記周辺領域にある配線部分に対向する領域の少なくとも一部には対向電極は形成されないことを特徴とする電気光学装置。

【請求項2】 前記対向電極は、平面的に見て前記配線に対向する領域を配線毎に避けるように短冊状或いはストライプ状に形成されていることを特徴とする請求項1に記載の電気光学装置。

【請求項3】 前記対向電極は、平面的に見て前記配線に対向する領域を相隣接する複数の配線毎に避けるように形成されていることを特徴とする請求項1に記載の電気光学装置。

【請求項4】 前記対向電極は、前記周辺領域に全く形成されていないことを特徴とする請求項1に記載の電気光学装置。

【請求項5】 前記配線は、前記周辺領域に形成された画像信号を供給するための画像信号線を含むことを特徴とする請求項1から4のいずれか一項に記載の電気光学装置。

【請求項6】 前記配線は、少なくとも前記画像表示領域に形成されており画像信号を供給するためのデータ線を含むことを特徴とする請求項1から5のいずれか一項に記載の電気光学装置。

【請求項7】 相隣接する複数のデータ線には、シリアル-パラレル変換された画像信号が同一タイミングで供給されることを特徴とする請求項6に記載の電気光学装置。

【請求項8】 前記周辺領域に周辺回路を更に備えており、

前記配線は、前記周辺領域に形成された画像信号を供給するための画像信号線及び該画像信号線と前記周辺回路とを接続する引き出し配線を含むことを特徴とする請求項1から7のいずれか一項に記載の電気光学装置。

【請求項9】 前記周辺回路は、前記引き出し配線に供給される画像信号をサンプリングするサンプリング回路を含むことを特徴とする請求項8に記載の電気光学装置。

【請求項10】 前記対向電極と前記配線の一部とを電気的に接続するための上下導通端子が、前記第2基板の隅に設けられていることを特徴とする請求項1から9のいずれか一項に記載の電気光学装置。

【請求項11】 前記第1及び第2基板は、前記画像表

2

示領域の外側に設けられたシール領域においてシール材により貼り合わされており、

前記対向電極は、前記シール領域内で、前記配線に対向する領域には少なくとも部分的に形成されていないことを特徴とする請求項1から10のいずれか一項に記載の電気光学装置。

【請求項12】 前記対向電極は、前記シール領域に全く形成されていないことを特徴とする請求項11に記載の電気光学装置。

10 【請求項13】 前記第2基板に、前記画像表示領域の周囲に額縁を規定すると共に前記配線の一部と前記対向電極とを電気的に接続するための上下導通端子部を含む導電性の遮光膜を更に備えたことを特徴とする請求項12に記載の電気光学装置。

【請求項14】 前記第2基板に、前記画像表示領域の周囲に額縁を規定すると共にアルミニウムを含有した膜からなる導電性の遮光膜を更に備えており、前記額縁を規定する遮光膜上には、前記対向電極が形成されていることを特徴とする請求項1から13のいずれか一項に記載の電気光学装置。

20 【請求項15】 一对の第1基板及び第2基板間に電気光学物質が挟持されてなり、

前記第1基板上における画像表示領域に、複数の画素電極を備えており、

前記第1基板上における前記画像表示領域及び前記画像表示領域の周辺に位置する周辺領域に、前記画素電極に信号を供給するための配線を備えており、

前記第2基板上における前記複数の画素電極に対向すると共に前記配線のうち少なくとも前記周辺領域にある配線部分に対向しない領域に形成された対向電極を備えたことを特徴とする電気光学装置。

【請求項16】 請求項1から15のいずれか一項に記載の電気光学装置に係る対向基板の製造方法であって、前記第2基板の全面に前記対向電極となる導電膜を形成する成膜工程と、

前記導電膜に対するフォトリソグラフィ及びエッチングにより、前記配線に対向する領域に形成された前記導電膜を少なくとも部分的に除去することにより前記対向電極を形成するエッチング工程とを備えたことを特徴とする対向基板の製造方法。

【請求項17】 前記対向基板をマザー基板上に複数形成し、

前記エッチング工程では、前記配線に対向する領域に加えて、切断線に沿った領域に形成された前記導電膜を除去し、

前記導電膜が除去された切断線に沿った領域内で切断を行う切断工程を更に備えたことを特徴とする請求項16に記載の対向基板の製造方法。

【請求項18】 前記切断工程は、ダイシングブレードにて切断することを特徴とする請求項17に記載の対向

50

(3)

3

基板の製造方法。

【請求項19】 光源と、
請求項1から15のいずれか一項に記載の電気光学装置
でなるライトバルブと、
前記光源から発生した光を前記ライトバルブに導光する
導光部材と、
前記ライトバルブで変調された光を投射する投射光学部
材とを備えることを特徴とする投射型表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、一对の基板間に電
気光学物質が挟持されてなり、該一对の基板における電
気光学物質に面する側に設けられた一对の電極を備えた
液晶装置等の電気光学装置及びその製造方法の技術分野
に属する。

【0002】

【従来の技術】一般にこの種の電気光学装置では、画素
電極、これをスイッチング制御する薄膜トランジスタ
(以下適宜、TFT (Thin Film Transistor) と称す)
及びこれに接続され画像信号を供給するデータ線や、走
査信号を供給する走査線等の配線などが設けられたTFT
アレイ基板を備える。更に、このTFTアレイ基板の
配線等が配置された側に対向配置されており、カラーフ
ィルタ、遮光膜等の他に、全面に対向電極が設けられた
対向基板を備える。これらのTFTアレイ基板及び対向
基板間に液晶等の電気光学物質が挟持される。そして、
画素電極に対応する画素毎に、画素電極及び対向電極間
に駆動電圧を発生させて各電気光学物質部分を駆動する
(例えば、液晶の配向状態を変化させる) ことにより、
表示動作を行なうように構成されている。

【0003】また、この種の電気光学装置には、画像表
示領域の外側の周辺領域に、画像信号をサンプリング回
路に供給するための画像信号線等の各種配線や、画像信
号線に供給される画像信号をサンプリング回路駆動信号
に応じてサンプリングしてデータ線に供給するサンプリ
ング回路、このサンプリング回路駆動信号をサンプリ
ング回路に供給するデータ線駆動回路、データ線に供給さ
れた画像信号を画素電極に供給するためにTFTのスイ
ッチング動作を行う走査信号を走査線に供給するための
走査線駆動回路などの周辺駆動回路を備えた駆動回路内
蔵型のものがある。

【0004】

【発明が解決しようとする課題】しかしながら、上述の
如くTFTアレイ基板上の画像信号線、当該画像信号線
からの引き出し配線等の配線と対向基板上の対向電極と
が対向配置されていると、両者間の寄生容量により、画
像信号の電位変動で対向電極の電位変動が生じる。即
ち、図16において、画像信号線に供給される画像信号
VIDの電位変化が、本来一定電位(但し、反転駆動時
における周期的に反転する一定電位も含む)であるべき

4

対向電極電位LCOMを矢印aに示すように変動させ
る。この対向電極電位LCOMの変動即ち共通配線の
電位変動が本来の設定電圧に復帰する前に、次段以降の
データ線の選択動作時に電気光学物質に印加される電位
が不測に変化してしまうため、表示画像にゴーストが発
生するという問題点がある。

【0005】特に、透過型の電気光学装置の場合には、
対向電極は透明電極から形成する必要があるので、この
ような対向電極は、ITO (Indium Tin Oxide) 膜から
形成するのが一般的である。しかしながら、ITO膜の
如き比較的高抵抗な導電膜から対向電極を形成すると、
上述の如き画像信号線等との寄生容量による電位変動後
に対向電極が共通電位になる以前に、画像信号の画素電
極への書き込みが終了してしまう。このため、係る寄生
容量によるゴーストの発生が顕著となるという問題点があ
る。

【0006】また、駆動回路内蔵型の場合には特に、電
位変動の幅が大きい或いは周波数の高い信号を供給する
配線と対向電極とが対向配置されているため、このよう
な寄生容量による対向電極における電位変動が大きくなり
、結果としてゴーストの発生がより顕著となるという
問題点がある。

【0007】更に、画像信号をシリアルーパラレル変換
してシリアルな画像信号を複数のパラレルな画像信号に
変化して周波数を低くする場合、パラレルな画像信号に
変換する数が多い程、このようなゴーストが視覚上目立
つという問題点がある。即ち、係るゴーストは、画面上
で、シリアルーパラレル変換数に等しいデータ線の本数
だけ本来の画像から離れて発生するため、シリアルーパ
ラレル変換数が多いほど、当該ゴーストは大きなブロッ
ク状に広がって視認し易くなるのである。特に、動画表
示ならともかく、パソコン画面等のデータ表示の場合に
は、当該ブロック状のゴーストは、視覚上一層目立つ
という問題点もある。

【0008】尚、このような問題に対して、対向電極を
画像信号線等からシールドするシールド膜を設けたり、
対向電極自体を低抵抗膜から形成したり或いは対向電極
上に低抵抗膜を追加形成する対策も考えられるが、いず
れの場合にも、対向基板の積層構造及び製造工程の複雑
化により、コストの上昇を招くことや追加されたシール
ド膜等により電気光学物質の動作不良が起こることが予
想される。

【0009】本発明は上記問題点に鑑みなされたもので
あり、比較的簡単な構成で一方の基板上に配置された配
線等とこれに対向する他方の基板上に配置された対向電
極との間における寄生容量を低減することにより、係る
寄生容量に起因した対向電極の電位変動を低減し、これ
によりゴーストの低減された高品位の画像表示が可能で
ある電気光学装置及びその製造方法を提供することを課
題とする。

(4)

5

【0010】

【課題を解決するための手段】本発明の電気光学装置は上記課題を解決するために、一对の第1及び第2基板間に電気光学物質が挟持されており、前記第1基板上における画像表示領域に、複数の画素電極を備えており、前記第1基板上における前記画像表示領域及び前記画像表示領域の周辺に位置する周辺領域に、前記画素電極に信号を供給するための配線を備えており、前記第2基板上における前記複数の画素電極に対向すると共に前記配線のうち少なくとも前記周辺領域にある配線部分に対向する領域の少なくとも一部には対向電極は形成されないことを特徴とする。

【0011】本発明の電気光学装置によれば、その動作時には、第1基板上に形成された配線に画像信号等の信号が供給され、画素電極に供給される。従って、係る信号に応じて画素毎に画素電極及び対向電極間に駆動電圧が印加され、両者間にある電気光学物質が駆動されて、電気光学的な画像表示が行なわれる。ここで特に、画像信号線等の配線のうち周辺領域にある配線部分に対向する領域の少なくとも一部には、対向電極は形成されていない。従って、周辺領域において対向電極が配線に対向する領域にも全て形成されている場合や、更に第2基板の全面に対向電極が形成されている場合と比較して、対向電極が配線に対向していない分だけ、対向電極及び配線間の寄生容量が低減される。この結果、本発明によれば、係る対向電極及び配線間の寄生容量に起因した配線に供給される信号（例えば、画像信号）の電位変動による対向電極の電位変動を低減できる。特に、当該電気光学装置が透過型であり、ITO膜等の比較的高抵抗の透明導電膜から対向電極を形成しても、係る対向電極及び配線間の寄生容量が低減されているので、これに起因する対向電極の電位変動を低減することが可能となり、大変有利である。この結果、対向電極の電位を良好に一定電位（但し、反転駆動時における、周期的に反転する一定電位も含む）とすることができ、これによりゴーストの低減された高品位の画像表示が可能となる。

【0012】尚、このような対向電極は、周辺領域にある配線部分に対向する領域に部分的に形成されてもよいし、或いは周辺領域にある配線部分に対向する領域に全く形成されていなくてもよい。

【0013】本発明の電気光学装置の一態様では、前記対向電極は、平面的に見て前記配線に対向する領域を配線毎に避けるように短冊状或いはストライプ状に形成されている。

【0014】この態様によれば、第1基板上の配線に対向する領域を配線毎に避けるように対向電極は、短冊状に形成されている。例えば、周辺領域における配線に対向する領域には、配線毎に対向電極が形成されていない。或いは、第1基板上の配線に対向する領域を配線毎に避けるように、対向電極はストライプ状に形成されて

6

いる。例えば、周辺領域及び画像表示領域の全体における配線に対向する領域には、配線毎に対向電極が形成されていない。従って、配線及び対向電極間の寄生容量に起因した配線に供給される信号の電位変動による対向電極の電位変動を低減できる。

【0015】或いは本発明の電気光学装置における他の態様では、前記対向電極は、平面的に見て前記配線に対向する領域を相隣接する複数の配線毎に避けるように形成されている。

【0016】この態様によれば、第1基板上の配線に対向する領域を複数の配線毎に避けるように対向電極は、形成されている。例えば、周辺領域の辺毎にブロック状に、対向電極が形成されていない領域がある。従って、配線及び対向電極間の寄生容量に起因した配線に供給される信号の電位変動による対向電極の電位変動を低減できる。

【0017】或いは本発明の電気光学装置における他の態様では、前記対向電極は、前記周辺領域に全く形成されていない。

【0018】この態様によれば、第1基板上の配線に対向する領域では、対向電極は、周辺領域に全く形成されていない。従って、配線及び対向電極間の寄生容量に起因した配線に供給される信号の電位変動による対向電極の電位変動を極力低減できる。

【0019】本発明の電気光学装置における他の態様では、前記配線は、前記周辺領域に形成された画像信号を供給するための画像信号線を含む。

【0020】この態様によれば、一般に電位変動の幅が大きく且つ周波数が高い画像信号が供給される画像信号線に対向する領域では、対向電極は少なくとも部分的に形成されていない。従って、画像信号線及び対向電極間の寄生容量に起因した画像信号線に供給される画像信号の電位変動による対向電極の電位変動を低減できる。

【0021】本発明の電気光学装置における他の態様では、前記配線は、少なくとも前記画像表示領域に形成されており画像信号を供給するためのデータ線を含む。

【0022】この態様によれば、一般に電位変動の幅が大きく且つ周波数が高い画像信号が供給されるデータ線に対向する領域では、対向電極は少なくとも部分的に形成されていない。従って、データ線及び対向電極間の寄生容量に起因したデータ線に供給される画像信号の電位変動による対向電極の電位変動を低減できる。

【0023】この態様では、相隣接する複数のデータ線には、シリアルーパラレル変換された画像信号が同一タイミングで供給されてもよい。

【0024】このように構成すれば、シリアルーパラレル変換した画像信号を供給する画像信号線と、対向電極間の寄生容量に起因した電位変動による対向電極の電位変動を低減できる。従って、シリアルーパラレル変換数に応じてブロック状に視認されるゴーストを低減でき

(5)

7

る。このため特に、駆動周波数を高めつつ低性能のTFTをサンプリング回路として用いて複数のデータ線の同時駆動を行っても、ブロック状のゴーストを発生しないようにできるので、実用上大変有利である。

【0025】本発明の電気光学装置における他の態様では、前記周辺領域に周辺回路を更に備えており、前記配線は、前記周辺領域に形成された画像信号を供給するための画像信号線及び該画像信号線と前記周辺回路とを接続する引き出し配線を含む。

【0026】この態様によれば、一般に電位変動の幅が大きく且つ周波数が高い画像信号が供給される画像信号線及び引き出し配線に対向する領域では、対向電極は少なくとも部分的に形成されていない。従って、画像信号線や引き出し配線と対向電極との間の寄生容量に起因した、画像信号の電位変動による対向電極の電位変動を低減できる。

【0027】この態様では、前記周辺回路は、前記引き出し配線に供給される画像信号をサンプリングするサンプリング回路を含んでもよい。

【0028】このように構成すれば、画像信号線からの引き出し配線に供給される画像信号をサンプリング回路によりサンプリングして、データ線等の配線を介して各画素電極に供給することが可能となる。

【0029】本発明の電気光学装置における他の態様では、前記対向電極と前記配線の一部とを電気的に接続するための上下導通端子が、前記第2基板の隅に設けられている。

【0030】この態様によれば、第2基板（対向基板）の隅に設けられた上下導通端子及び配線の一部を介して、対向電極を、良好に一定電位（但し、反転駆動時における、周期的に反転する一定電位も含む）とすることが可能となる。

【0031】本発明の電気光学装置における他の態様では、前記第1及び第2基板は、前記画像表示領域の外側に設けられたシール領域においてシール材により貼り合わされており、前記対向電極は、前記シール領域内で、前記配線に対向する領域には少なくとも部分的に形成されていない。

【0032】この態様によれば、対向電極は、シール領域内における、配線に対向する領域に少なくとも部分的に形成されていない。従って、シール領域における配線及び対向電極間の寄生容量に起因した配線に供給される信号の電位変動による対向電極の電位変動を低減できる。尚、本願における“シール領域”は、画像表示領域の外側の領域であり、周辺領域に含まれる。

【0033】この態様では、前記対向電極は、前記シール領域に全く形成されていなくてもよい。

【0034】このように構成すれば、シール領域における配線及び対向電極間の寄生容量に起因した配線に供給される信号の電位変動による対向電極の電位変動を極力

8

低減できる。しかも、例えば対角2センチメートル程度の小型の電気光学装置において、シール材中に第1基板及び第2基板との基板間ギャップを制御するためのギャップ材を混入する場合に、ギャップ材が接触する第2基板表面の高さをシール領域の全体に渡って均一とできるため、当該基板間ギャップの制御を高精度で行なうことも可能となる。

【0035】この態様では更に、前記第2基板に、前記画像表示領域の周囲に額縁を規定すると共に前記配線の一部と前記対向電極とを電気的に接続するための上下導通端子部を含む導電性の遮光膜を更に備えてもよい。

【0036】このように構成すれば、遮光膜が、額縁を規定する機能と上下導通端子部としての機能との両者を果たすことができ有利である。しかも、額縁を規定する遮光膜の隅から延設して上下導通端子部を設ければ、額縁の周辺に位置する周辺領域で上下導通をとる構成が無理なく得られるので大変有利である。尚、本願における“額縁”が形成される領域は、周辺領域のうち画像表示領域の周囲に沿った領域（前述のシール領域と画像表示領域との間にある領域）であり、周辺領域に含まれる。

【0037】本発明の電気光学装置における他の態様では、前記第2基板に、前記画像表示領域の周囲に額縁を規定すると共にアルミニウムを含有した膜からなる導電性の遮光膜を更に備えており、前記額縁を規定する遮光膜上には、前記対向電極が形成されている。

【0038】この態様によれば、アルミニウムを含有した膜からなる遮光膜が、良好な遮光性を有する額縁を規定する機能と、良好な導電性を有する上下導通端子部としての機能との両者を果たすことができ有利である。しかも、係る遮光膜上には、対向電極が形成されており、対向電極をエッチングする際にエッチングに曝されることもない。従って、このような構成を採ると、当該遮光膜を電気的な腐食に強い或いは化学的に安定した材質から形成する必要がなくなり有利である。

【0039】本発明の他の電気光学装置は上記課題を解決するために、一对の第1基板及び第2基板間に電気光学物質が挟持されてなり、前記第1基板上における画像表示領域に、複数の画素電極を備えており、前記第1基板上における前記画像表示領域及び前記画像表示領域の周辺に位置する周辺領域に、前記画素電極に信号を供給するための配線を備えており、前記第2基板上における前記複数の画素電極に対向すると共に前記配線のうち少なくとも前記周辺領域にある配線部分に対向しない領域に形成された対向電極を備えてもよい。

【0040】本発明の他の電気光学装置によれば、周辺領域において対向電極が配線に対向する領域にも全て形成されている場合や、更に第2基板の全面に対向電極が形成されている場合と比較して、対向電極が配線に対向していない分だけ、対向電極及び配線間の寄生容量が低減される。この結果、係る対向電極及び配線間の寄生容

(6)

9

量に起因した配線に供給される信号（例えば、画像信号）の電位変動による対向電極の電位変動を低減できる。

【0041】本発明の対向基板の製造方法は上記課題を解決するために、上述した本発明の電気光学装置に係る対向基板（その各種態様も含む）の製造方法であって、前記第2基板の全面に前記対向電極となる導電膜を形成する成膜工程と、前記導電膜に対するフォトリソグラフィ及びエッチングにより、前記配線に対向する領域に形成された前記導電膜を少なくとも部分的に除去することにより前記対向電極を形成するエッチング工程とを備える。

【0042】本発明の対向基板の製造方法によれば、先ず成膜工程では、第2基板の全面に対向電極となる導電膜を形成し、その後エッチング工程では、フォトリソグラフィ及びエッチングにより、配線に対向する領域に形成された導電膜を少なくとも部分的に除去する。従って、上述した本発明の電気光学装置（その各種態様も含む）に係る対向基板を比較的簡単に製造できる。

【0043】本発明の対向基板の一態様では、前記対向基板をマザー基板上に複数形成し、前記エッチング工程では、前記配線に対向する領域に加えて、切断線に沿った領域に形成された前記導電膜を除去し、前記導電膜が除去された切断線に沿った領域内で切断を行う切断工程を更に備える。

【0044】この態様によれば、対向基板は、マザー基板上にて複数形成される。そして、エッチング工程では、切断線に沿った領域に形成された導電膜を除去し、その後、マザー基板から複数の対向基板を切り離す切断工程では、導電膜が除去された切断線に沿った領域内で切断が行われる。従って、切断工程で、ITO膜等からなる対向電極が切断されることで生じる塵や異物の発生を未然防止できる。逆に言えば、このような切断工程におけるITO膜等からの塵や異物の発生を低減するためのエッチング工程を元々含む製造方法を基準とすれば、本発明は、エッチングする領域に若干の変更を加えるだけで済むので、製造工程の増加を殆ど招かないで済み、実践上大変有利である。

【0045】本発明の対向基板の切断工程は、ダイシングブレードにて切断する。

【0046】この態様によれば、マザー基板上に設けられた切断線に沿ってダイシングブレードを回転させながら対向基板を容易に切り離すことができる。

【0047】本発明の投射型表示装置は上記課題を解決するために、光源と、本発明の電気光学装置でなるライトバルブと、前記光源から発生した光を前記ライトバルブに導光する導光部材と、前記ライトバルブで変調された光を投射する投射光学部材とを備えることを特徴とする。

【0048】本発明のこのような作用及び他の利得は次

10

に説明する実施の形態から明らかにされる。

【0049】

【発明の実施の形態】以下、本発明の実施形態を図面に基いて説明する。以下の実施形態は、本発明の電気光学装置を液晶装置に適用したものである。

【0050】先ず、本発明の実施形態における電気光学装置の全体構成について、図1及び図2を参照して説明する。ここでは、電気光学装置の一例である駆動回路内蔵型のTFTアクティブマトリクス駆動方式の液晶装置を例にとる。

【0051】図1は、TFTアレイ基板をその上に形成された各構成要素と共に対向基板の側から見た平面図であり、図2は、図1のH-H'断面図である。

【0052】図1及び図2において、本実施形態に係る電気光学装置では、TFTアレイ基板10と対向基板20とが対向配置されている。TFTアレイ基板10と対向基板20との間に液晶層50が封入されており、TFTアレイ基板10と対向基板20とは、画像表示領域10aの周囲に位置するシール領域に設けられたシール材52により相互に接着されている。

【0053】シール材52は、両基板を貼り合わせるための、例えば紫外線硬化樹脂、熱硬化樹脂等からなり、製造プロセスにおいてTFTアレイ基板10上に塗布された後、紫外線照射、加熱等により硬化させられたものである。また、シール材52中には、両基板間の間隔（基板間ギャップ）を所定値とするためのグラスファイバ或いはガラスビーズ等のギャップ材が散布されている。即ち、本実施形態の電気光学装置は、プロジェクタのライトバルブ用として小型で拡大表示を行うのに適している。但し、当該電気光学装置が液晶ディスプレイや液晶テレビのように大型で等倍表示を行う液晶装置であれば、このようなギャップ材は、液晶層50中に含まれてもよい。

【0054】シール材52が配置されたシール領域の内側に並行して、画像表示領域10aを規定する遮光性の額縁53が対向基板20側に設けられている。額縁53はTFTアレイ基板10側に設けても良いことは言うまでもない。画像表示領域の周辺に広がる周辺領域のうち、シール材52が配置されたシール領域の外側部分には、データ線駆動回路101及び外部回路接続端子102がTFTアレイ基板10の一辺に沿って設けられており、走査線駆動回路104が、この一辺に隣接する2辺に沿って設けられている。更にTFTアレイ基板10の残る一辺には、画像表示領域10aの両側に設けられた走査線駆動回路104間をつなぐための複数の配線105が設けられている。また図1に示すように、対向基板20のコーナー部の少なくとも1ヶ所（図1では4ヶ所）において、両基板間に上下導通材106が配置されており、対向基板20に形成された対向電極21のコーナー部が対向基板20側の上下導通端子として機能す

(7)

11

る。他方、TFTアレ基板10にはこれらのコーナに対向する領域において、TFTアレ基板10側の上下導通端子が設けられている。これらにより、TFTアレ基板10と対向基板20との間で電氣的な導通をとることができる。

【0055】本実施形態では特に、額縁53下にあるTFTアレ基板10上の領域に、サンプリング回路301が設けられている。サンプリング回路301は、画像信号線に供給される画像信号をデータ線駆動回路101から供給されるサンプリング回路駆動信号に応じてサンプリングしてデータ線に供給するように構成されている。

【0056】次に以上の如く構成された電気光学装置における回路構成及び動作について図3を参照して説明する。図3は、電気光学装置の画像表示領域を構成するマトリクス状に形成された複数の画素における各種素子、配線等の等価回路と周辺回路とを示すブロック図である。

【0057】図3において、本実施形態における電気光学装置の画像表示領域を構成するマトリクス状に形成された複数の画素には夫々、画素電極9aと当該画素電極9aをスイッチング制御するための画素TFT30とが形成されており、画像信号が供給されるデータ線6aが当該画素TFT30のソースに電氣的に接続されている。

【0058】画像表示領域10a外である周辺領域には、データ線6aの一端（図3中で下端）が、サンプリング回路301を構成するサンプリングTFT302のドレインに接続されている。他方、画像信号線115は、引き出し配線116を介してサンプリングTFT302のソースに接続されている。データ線駆動回路101に接続されたサンプリング回路駆動信号線114は、サンプリングTFT302のゲートに接続されている。そして、画像信号線115に供給される画像信号VID1～VID6は、データ線駆動回路101からサンプリング回路駆動信号線114を介してサンプリング回路駆動信号が供給されるのに応じて、サンプリングTFT302によりサンプリングされて各データ線6aに画像信号S1～Snが供給されるように構成されている。

【0059】ここで、本実施形態では相隣接する6本のデータ線6aを同じタイミングで同画像信号を書き込めるように、前記データ線6aに対応するサンプリングTFT302のゲートに共通のサンプリング回路駆動信号を供給する。外部回路であるシリアルーパラレル変換回路で、シリアルな画像信号を6倍に伸長して、パラレルな画像信号VID1～VID6にシリアルーパラレル変換して供給する。このように画像信号をデータ線6本毎にシリアルーパラレル変換することにより、画像信号の書き込み時間を6倍にできるだけでなく、データ線駆動回路の駆動周波数を1/6に低減する事ができる。これ

12

により、サンプリングTFT302や画素TFT30の能力が低くても、高速な画像処理が可能になる。尚、シリアルーパラレル変換数が多ければ多いほど画像信号の書き込み時間を伸長することができるが、画像信号線115をシリアルーパラレル変換数分だけ設ける必要がある。

【0060】また、画素TFT30のゲートに走査線3aが電氣的に接続されており、所定のタイミングで、走査線3aにパルス的に走査信号G1、G2、…、Gmを、走査線駆動回路104により、この順に線順次で印加するように構成されている。画素電極9aは、画素TFT30のドレインに電氣的に接続されており、スイッチング素子である画素TFT30を一定期間だけそのスイッチを閉じることにより、データ線6aから供給される画像信号S1、S2、…、Snを所定のタイミングで書き込む。画素電極9aを介して電気光学物質の一例としての液晶に書き込まれた所定レベルの画像信号S1、S2、…、Snは、図2における対向基板20に形成された対向電極21との間で一定期間保持される。液晶は、印加される電位レベルにより分子集合の配向や秩序が変化することにより、光を変調し、階調表示を可能にする。ノーマリーホワイトモードであれば、各画素の単位で印加された電圧に応じて入射光に対する透過率が減少し、ノーマリーブラックモードであれば、各画素の単位で印加された電圧に応じて入射光に対する透過率が増加され、全体として電気光学装置からは画像信号に応じたコントラストを持つ光が射出する。ここで、保持された画像信号がリークするのを防ぐために、画素電極9aと対向電極21との間に形成される液晶容量と並列に蓄積容量70を付加する。走査線3aに並んで、蓄積容量70の固定電位側容量電極を含むと共に定電位に固定された容量線3bが設けられている。容量線3bは、画像表示領域10aの外側において定電位線と接続されており、固定電位V_{CAP}が供給される。固定電位V_{CAP}は電気光学装置の外部から供給される。あるいは、TFTアレ基板上に設けられるデータ線駆動回路101や走査線駆動回路104の電源等の定電位線から供給しても良いし、対向基板20の対向電極21に供給される定電位の対向電極電位と接続しても良い。このような構成を採れば、図1における外部回路接続端子102を固定電位V_{CAP}供給のために設ける必要が無いため、電気光学装置の小型化に有利である。

【0061】次に、図2の破線で囲ったC領域における電気光学装置の詳細構成について、図4を参照して説明する。ここに図4は、この領域の平面図であり、図3の等価回路図を具体的なパターン図として表している。

【0062】図4において、サンプリング回路301を構成するサンプリングTFT302は、半導体層304のソースに画像信号線から延設された引き出し配線116とコンタクトホール305aを介して電氣的に接続さ

(8)

13

れている。一方、半導体層304のドレインはデータ線6aとコンタクトホール305bを介して電氣的に接続されている。サンプリングTFT302のゲートはサンプリング回路駆動信号線114とコンタクトホール305bを介して電氣的に接続されている。データ線6aは画素電極9aに画像信号S1～Snを供給している。ここで、隣接するサンプリングTFT302を6個同時に制御できるように、ゲート線303が6個のサンプリングTFT30のゲートに共通配線として設けられている。

【0063】図3及び図4に示すように、本実施形態では画像信号線115とサンプリング回路301の間に、TFTアレイ基板10と対向基板20を貼り合わせるためのシール材52を塗布したシール領域を設けている。これは、サンプリング回路駆動信号線114や引き出し配線116といった配線領域を有効活用する事により、シール領域を形成している。また、走査線駆動回路104が図1に示すように対向基板20より外側のTFTアレイ基板10上に形成している場合は、走査線3aの延設部を有効活用してシール領域としても良い。

【0064】ここで本実施形態では、従来、対向基板20の全面に形成していたITO等の透明性導電膜を、シール材52が塗布されるシール領域やその付近において、サンプリング回路駆動信号を供給するサンプリング回路駆動信号線114や画像信号を供給する引き出し配線116に少なくとも部分的に重ならないように対向電極を形成しないように構成する。

【0065】具体的には図4のA-A'線の断面図を示した図5において、画像信号を供給する引き出し配線116部には、対向基板20上の対向電極21を設けないようにする。これにより、引き出し配線116と対向電極との間で寄生容量が生じないため、引き出し配線116に供給される画像信号の電位変動の影響を受け、対向電極21に供給される対向電極電位が変動することはない。従って、図16に示すように、サンプリングTFT302がONしている期間（即ちデータ線6aの選択期間）において、画像信号VIDの電位変動の影響を受けることなく常に対向電極電位LCCOMが矢印bのように一定であるため、ゴーストが生じる事がない。

【0066】特に、シリアルな画像信号をシリアルパラレル変換する場合、複数のデータ線6aを同時に選択するため、対向電極電位LCCOMに矢印aのような電位変動が起こると、選択された複数のデータ線6aが全て影響を受けるためにブロック状のゴーストが発生し、画質品位を著しく低下させたが、本実施形態では画像信号VIDと対向電極電位LCCOMが容量結合しないため、シリアルパラレル変換数が増えてもゴーストが発生する事が無い。高精細な電気光学装置になるほど画像信号VIDの周波数が高速になるため、サンプリングTFT302の能力を向上させない限りは、シリアルパ

14

ラレル変換数を増やさざるを得ないが、本実施形態の構成を採る事により、ゴーストが無く画質品位の高い高精細な電気光学装置を実現する事が可能になる。

【0067】次に、本実施形態の対向基板20の各種具体例について図6から図11を参照して説明する。尚、図6から図10は夫々、図1に示した対向基板20に形成される対向電極21の平面パターンを額縁53と共に示す平面図である。

【0068】図6に示す例では、対向電極21は平面的に見て、データ線駆動回路101からサンプリング回路301の間に設けられた図3で示す画像信号線115や当該画像信号線115からの引き出し配線116、サンプリング回路駆動信号線114等の配線に対向する領域401を配線毎に避けるように短冊状に形成されている。これにより、配線と対向基板20が重なる領域には少なくともその一部において対向電極21が形成されていないため、配線及び対向電極21間の寄生容量に起因した配線に供給される信号の電位変動による対向電極21の電位変動を低減できる。

【0069】図7に示す例では、対向電極21は平面的に見て、データ線駆動回路101からサンプリング回路301の間に設けられた図3で示す画像信号線115や当該画像信号線115からの引き出し配線116、サンプリング回路駆動信号線114等の複数の配線に対向するブロック状の領域402を避けるように形成されている。これにより、配線と対向基板20が重なる領域には少なくともその一部においてブロック状に対向電極21が形成されていないため、配線及び対向電極21間の寄生容量に起因した配線に供給される信号の電位変動による対向電極21の電位変動を大幅に低減できる。

【0070】図8に示す例では、対向電極21は平面的に見て、データ線駆動回路101からサンプリング回路301の間に設けられた図3で示す画像信号線115や当該画像信号線115からの引き出し配線116、サンプリング回路駆動信号線114等の配線に対向する領域だけでなく、対向基板20の四辺付近において夫々、ブロック状の領域403を避けるように形成されている。この構成によれば、図1におけるシール材52中にTFTアレイ基板10と対向基板20間ギャップを制御するためのギャップ材を混入しても、対向電極21は、対向基板20の四辺を均等に避けるよう形成されているので、TFTアレイ基板10と対向基板20間のギャップ制御を高精度で行うことができる。これにより、配線と対向基板20が重なる領域には少なくともその一部においてブロック状に対向電極21が形成されていないため、配線及び対向電極21間の寄生容量に起因した配線に供給される信号の電位変動による対向電極21の電位変動を大幅に低減できるだけでなく、安定したギャップ制御により色むら等のない画質品位の高い電気光学装置を実現できる。

(9)

15

【0071】尚、図6から図8に示した具体例では、対向基板20の4つのコーナー部に延設された対向電極21部分が夫々、図1に示したTFTアレイベース10上の上下導通材106と接触する上下導通端子として機能している。TFTアレイベース10から対向基板20上の対向電極21に対向電極電位を供給する上下導通端子は、対向基板20の1つ以上のコーナー部に設けてあれば良い。更に、図6から図8に示した具体例では、額縁53を構成する遮光膜は、対向基板20上において対向電極21を構成するITO等の透明性導電膜により覆われている。従って、この場合には、その製造中に対向電極21をエッチングで形成する際に、額縁53を構成する遮光膜がエッチングに曝されることはない。このため、電気的な腐食に弱く、化学的な安定性の低いAl（アルミニウム）を含有した遮光膜から額縁53を形成しても問題がない。逆に、Alを含有した遮光膜から額縁53を形成すれば、良好な遮光性及び良好な導電性が比較的安価にして得られるだけでなく、投射型のライトバルブとして用いる場合には、反射率の高いAlにより入射光を反射できるため、電気光学装置表面の温度上昇を防ぐ事ができる。これにより、耐光性寿命を向上する事ができ、有利である。

【0072】図9に示す例では、対向電極21は平面的に見て、シール領域を含めて周辺領域404に全く形成されていない。即ち、対向電極21は、画像表示領域10aより若干大きめに形成されている。このように構成すれば、データ線駆動回路101からサンプリング回路301の間に設けられた図3で示す画像信号線115や当該画像信号線115からの引き出し配線116、サンプリング回路駆動信号線114等の配線と対向電極21とが重なる領域がないため、配線及び対向電極21間の寄生容量に起因した配線に供給される信号の電位変動による対向電極21の電位変動が生じないため、ゴーストが発生する事はない。また、本実施形態により、図1におけるシール材52中に混入されたギャップ材が接触する対向基板20の表面高さをシール領域の全体に渡って均一にできる。このため、ギャップ材による基板間ギャップの制御を高精度で行える。例えば、対向電極21を構成するITO膜の膜厚は、100～200nmであるので、シール領域内で局所的に対向電極21を形成しないようにすると、この膜厚に応じて基板間ギャップの制御が不安定となってしまうのである。

【0073】但し、図9のように対向電極21を小さく形成すると、図6から図8に示した具体例の如く図1に示した上下導通材106に接触する上下導通端子として機能させることができなくなる。従って、この場合には、図9に示したように、額縁53を導電性の遮光膜から形成すると共に、額縁53を対向基板20の4つのコーナー部に延設して上下導通端子53'とすればよい。この場合、額縁53を形成する導電性の遮光膜と対向電

16

極21を電氣的に接続するのは言うまでもない。

【0074】更に、このように対向電極21を小さく形成すると、その製造中に対向電極21をエッチングする際に、その下層に位置する額縁53を構成する遮光膜もエッチングに曝されることになる。従って、この場合、額縁53を電気的な腐食に強い或いは化学的に安定した遮光膜から形成するのが好ましい。

【0075】以上図6から図9に示したように、周辺領域において対向電極21が配線に対向する領域にも全て形成されている場合や更に対向基板20の全面に対向電極21が形成されている場合と比較して、本実施形態では、シール領域や額縁領域を含む周辺領域で、対向電極21が画像信号線115や当該画像信号線115からの引き出し配線116、サンプリング回路駆動信号線114等の配線に対向していない分だけ、対向電極21及び配線間の寄生容量が低減される。この結果、本実施形態によれば、対向電極21及び配線間の寄生容量に起因した配線上の画像信号等の電位変動による対向電極21の電位変動を低減できる。

【0076】特に、本実施形態の如く対向電極21が比較的高抵抗のITO膜等からなる場合にも、このように対向電極21及び配線間の寄生容量を低減することで、これに起因する対向電極21の電位変動を効率的に低減できる。この結果、対向電極21の電位を良好に一定電位（但し、反転駆動時における、周期的に反転する一定電位も含む）とすることができる。

【0077】加えて、本実施形態の如く、シール領域に対向電極21を形成しなければ、その分この領域における透過率が向上するので、例えば紫外線硬化樹脂、熱硬化樹脂等からなるシール材を、紫外線等を用いて硬化させる際に多少有利となる。

【0078】次に、本実施形態の応用例を図10及び図11に示す。本実施形態では、画像信号線115や当該画像信号線115からの引き出し配線116、サンプリング回路駆動信号線114等の配線だけでなく、データ線6aと対向電極21との容量結合を防ぐ場合について説明する。

【0079】図10は、図6に示した対向基板20の実施例に、更にデータ線6aと重なる領域405において対向電極21を設けないようにする。これにより、データ線6aに供給される画像信号により、対向電極電位の電位変動が生じないため、更に大幅にゴーストの発生を低減する事ができる。

【0080】図11は、図10のように構成した場合、対向電極21の抵抗が高くなるのを防ぐための工夫で、データ線6aと重なる対向電極21を領域406において取り除くように構成する事で、画素電極9aと重なる部分の対向電極21の抵抗をできるだけ小さくする事ができる。

【0081】尚、図10、図11に示した応用例は、図

(10)

17

6～図9に示した対向基板20の具体例と組合せることが可能である。

【0082】次に、本実施形態の電気光学装置の画像表示領域における構成について、図12及び図13を参照して説明する。図12は、データ線、走査線、画素電極等が形成されたTFTアレ基板の相隣接する複数の画素群の平面図である。図13は、図12のB-B'断面図である。尚、図12及び図13においては、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならしめてある。

【0083】図12及び図13において、電気光学装置は、TFTアレ基板10と、これに対向配置される透明な対向基板20とを備えている。TFTアレ基板10は、例えば石英基板、ガラス基板、シリコン基板からなり、対向基板20は、例えばガラス基板や石英基板からなる。

【0084】図12において、電気光学装置のTFTアレ基板上には、マトリクス状に複数の透明な画素電極9a（点線部9a'により輪郭が示されている）が設けられており、画素電極9aの縦横の境界に各々沿ってデータ線6a及び走査線3aが設けられている。

【0085】また、半導体層1aのうち図12中右上がりの斜線領域で示したチャンネル領域1a'に対向するように走査線3aが配置されており、走査線3aはゲート電極として機能する。このように、走査線3aとデータ線6aとの交差する個所には夫々、チャンネル領域1a'に走査線3aがゲート電極として対向配置された画素TFT30が設けられている。

【0086】図12及び図13に示すように、容量線3bは、画素TFT30の高濃度ドレイン領域1eから延設された画素電位側容量電極1fとの間に絶縁薄膜2を介して蓄積容量70aを形成している。容量線3bは走査線3aと同層のポリシリコン膜で形成されており、同一工程によりエッチングされる。即ち、画素電位側容量電極1fは、画素TFT30のチャンネル領域1a'と同一膜からなり、第1蓄積容量70aを形成する絶縁薄膜2は、画素TFT30のゲート絶縁膜と同一膜から形成されている。これにより、絶縁薄膜2の膜厚が薄くても緻密で高耐圧な誘電体膜で蓄積容量が形成できる。また、容量線3b及び画素電位側容量電極1fはデータ線6aの下方まで延設され、この領域においても第1蓄積容量70aを形成される。このように、非開口領域を有効に使うことにより図3における蓄積容量70を増大することができる。

【0087】他方、TFTアレ基板10上におけるTFT30の下側には、下側遮光膜11aが格子状に設けられている。下側遮光膜11aは、例えば、Ti（チタン）、Cr（クロム）、W（タングステン）、Ta（タンタル）、Mo（モリブデン）、Pb（鉛）等の高融点金属のうちの少なくとも一つを含む、金属単体、合金、

18

金属シリサイド、ポリシリサイド、これらを積層したもの等からなる。下側遮光膜11aは、下側絶縁膜12を介して画素TFT30をTFTアレ基板10側から覆うように配置することで、TFTアレ基板10側からの反射光を遮光することができる。これにより、少なくとも画素TFT30のチャンネル領域1a'とその隣接する領域を遮光することができるため、光が起因して生じるリーク電流の発生を防ぐことができる。また、図12に示すように下側遮光膜11aは、データ線6aの下方において、容量線3bとコンタクトホール13を介して電気的に接続すれば、容量線3bの冗長配線として機能する。これにより、容量線の定抵抗化が実現できるだけでなく、画素電位側容量電極1fと下側遮光膜11aとの間に下側絶縁膜12を介して蓄積容量を形成する事も可能である。

【0088】画素電極9aは、中継層80aを中継することにより、コンタクトホール8a及び8bを介して半導体層1aのうち高濃度ドレイン領域1eに電気的に接続されている。中継層80aは、半導体層1aの高濃度ドレイン領域1eとコンタクトホール8aを介して電気的に接続されている。中継層80aは図13に示すように、容量線3bとの間に誘電体膜81を介して重ねるように構成すれば、第2蓄積容量70bを形成することができる。このように容量線3bの上方及び下方にて積層容量を形成することにより、平面的に見て小さい領域においても蓄積容量70を増大することができる。これにより、開口領域を広げても十分な蓄積容量70を得ることができる。誘電体膜81は、耐圧が許す限り薄膜化することにより、第2蓄積容量70bをさらに増大することができる。

【0089】また、中継層80aを、例えばTi（チタン）、Cr（クロム）、W（タングステン）、Ta（タンタル）、Mo（モリブデン）、Pb（鉛）等の高融点金属のうちの少なくとも一つを含む、金属単体、合金、金属シリサイド、ポリシリサイド、これらを積層したもの等から形成すれば、遮光膜として機能することができる。

【0090】更に、この中継層80aと同一層で、データ線6aの下方に上方遮光膜80bを島状に形成しても良い。これにより、データ線6aと半導体層1aの間に遮光膜を形成できるので、チャンネル領域1a'及びその隣接領域への光照射を効果的に防ぐことができる。

【0091】画素電極9aは、第1層間絶縁膜4及び第2層間絶縁膜7に開口したコンタクトホール8bを介して中継層80aに電気的に接続されている。このように、中継層80aを介在させることにより、エッチング時に薄い半導体層1aを突き抜けることがないため、接続不良等の歩留まり低下を招くことがない。

【0092】図13に示すように、データ線6aは、絶縁薄膜2、誘電体膜81、及び第1層間絶縁膜4に開口

(11)

19

されたコンタクトホール5を介して半導体層1aの高濃度ソース領域1dと電気的に接続されている。データ線6aは、Al等の遮光性の低抵抗膜から形成されており、画素TFT30のチャンネル領域1a'及びその隣接領域を対向基板20側から見て遮光することにより、入射光を遮光する働きをする。これにより、少なくとも画素TFT30のチャンネル領域1a'とその隣接する領域を遮光することができるため、光が起因して生じるリーク電流の発生を防ぐことができる。

【0093】また、画素スイッチング用のTFT30は、LDD (Lightly Doped Drain) 構造を有しており、走査線3a、当該走査線3aからの電界によりチャンネルが形成される半導体層1aのチャンネル領域1a'、走査線3aと半導体層1aとを絶縁するゲート絶縁膜を含む絶縁薄膜2、半導体層1aの低濃度ソース領域1b及び低濃度ドレイン領域1c、半導体層1aの高濃度ソース領域1d並びに高濃度ドレイン領域1eを備えている。

【0094】更に、画素電極9aの上側には、ラビング処理等の所定の配向処理が施された配向膜16が設けられている。画素電極9aは例えば、ITOなどの透明性導電膜からなる。また配向膜16は例えば、ポリイミド膜などの有機膜からなる。

【0095】他方、対向基板20には、その全面に渡って対向電極21が設けられており、その下側には、ラビング処理等の所定の配向処理が施された配向膜22が設けられている。対向電極21は例えば、ITOなどの透明性導電膜からなる。また配向膜22は、ポリイミド膜などの有機膜からなる。

【0096】対向基板20には、格子状又はストライプ状の遮光膜23を設けるようにしてもよい。このような構成を採ることで、対向基板20側からの入射光がチャンネル領域1a'や低濃度ソース領域1b及び低濃度ドレイン領域1cに侵入するのを、より確実に阻止できる。更に、このような対向基板20上の遮光膜は、少なくとも入射光が照射される面を高反射なAl等で形成することにより、電気光学装置の温度上昇を防ぐ働きをする。また、遮光膜23は、図における額縁53と同一膜で、同一工程にて形成されても良い。

【0097】このように構成された、画素電極9aと対向電極21とが対面するように配置されたTFTアレイ基板10と対向基板20との間には、シール材52 (図1及び図2参照)により囲まれた空間に電気光学物質の一例である液晶が封入され、液晶層50が形成される。

【0098】本実施形態では、第2層間絶縁膜7の表面は、CMP (Chemical Mechanical Polishing: 化学的機械研磨) 処理等により平坦化されており、その下方に存在する各種配線や素子による段差に起因する液晶層50における液晶の配向不良を低減する。

【0099】以上説明した実施形態では、図13に示し

20

たように多数の導電層を積層することにより、画素電極9aの下地面におけるデータ線6aや走査線3aに沿った領域に段差が生じるのを、第3層間絶縁膜7の表面を平坦化することで緩和しているが、これに代えて或いは加えて、TFTアレイ基板10、下地絶縁膜12、第1層間絶縁膜4、第2層間絶縁膜7に溝を掘って、データ線6a等の配線や画素TFT30等を埋め込むことにより平坦化処理を行っても良い。

【0100】尚、画素TFT30と同一工程により、図3におけるデータ線駆動回路101、サンプリング回路301や走査線駆動回路104を構成するTFTを形成することができることは言うまでもない。

【0101】次に、図14及び図15を参照して、対向電極21等を備えた対向基板20の製造プロセスについて説明を加える。ここに図14は、対向基板の製造の各工程における図5に対応する個所の断面を順を追って示す工程図であり、図15は、マザー基板上に多数形成されている対向基板を示す平面図である。

【0102】図14の工程(1)では、対向基板20上の全面に、Al、Cr等の遮光膜をスパッタリング、CVD (化学蒸着) 等により形成後、フォトリソグラフィ及びエッチングにより、図1に示した平面パターンを有する額縁53を形成する。

【0103】次に、図14の工程(2)では、額縁53を含めた対向基板20の全面に、CVD等によりITO膜21'を形成する。一般には、このように形成されたITO膜21'がそのまま対向電極21として利用されている。

【0104】次に、図14の工程(3)では、フォトリソグラフィ及びエッチングにより、配線部と重なる領域 (例えば、図6の領域401)を除く領域にフォトレジスト600を形成する。

【0105】次に、図14の工程(4)では、このフォトレジスト600を介して、ドライエッチング、ウエットエッチング或いは両者の組み合わせにより、ITO膜21'をエッチングし、対向電極21を形成する。その後フォトレジスト600を剥離する。特に、図6から図8に示した具体例を製造する場合には、この工程で、額縁53がエッチングに曝されることはないため、前述のように額縁を、電気的な腐食に弱いAlを含む膜から形成することが可能となる。他方、図8に示した具体例を製造する場合には、この工程で、額縁53が露出してエッチングに曝されるため、電気的な腐食に強い遮光膜を採用することが望ましい。

【0106】最後に、図14の工程(5)では、対向電極21を含めた対向基板20上の全面にポリイミド膜等の有機膜を形成し、これに所定方向のラビング処理を施して、配向膜22を形成する。

【0107】以上のように本実施形態の製造プロセスによれば、上述した本実施形態の電気光学装置に係る対向

(12)

21

基板を比較的簡単に製造できる。特に、通常の基板全面に対向電極を形成する製造プロセスと比較して、図14の工程(3)及び工程(4)に示したITO膜21'をパターンニングするプロセスだけ追加すれば済む。

【0108】図15に示すように、本実施形態では好ましくは、図14の各工程をマザー基板500上の切断線501で区切られた各領域に対して行なうことにより、多数の対向基板20を同時形成する。そして、図14の工程(5)の後に、切断線501に沿ってダイシングブレードを回転させることで容易に切断できる。これにより、個々の対向基板20とする。ここでより好ましくは、工程(3)及び工程(4)でITO膜21'をパターンニングする際に、切断線501に沿った領域に形成されたITO膜21'部分も除去する。具体的には、切断線501から破線502の領域までITO膜21'を取り除いておくことにより、対向基板を切り出す際に生じるITO膜の塵や異物の発生を未然防止できる。即ち、対向電極21をパターンニングする工程と、マザー基板500から対向基板20を切り出す際にITO膜から塵や異物が発生するのを防ぐための工程とを同一工程として行なえるので製造工程上有利である。また、マザー基板500から対向基板20を切り出す方法としては、スクライブ法を用いても良い。

【0109】以上図1から図12を参照して説明した実施形態では、データ線駆動回路101及び走査線駆動回路104をTFTアレイ基板10の上に設ける代わりに、例えばTAB (Tape Automated bonding) 基板上に実装された駆動用LSIに、TFTアレイ基板10の周辺部に設けられた異方性導電フィルムを介して電氣的及び機械的に接続するようにしてもよい。また、対向基板20の投射光が入射する側及びTFTアレイ基板10の出射光が出射する側には各々、例えば、TNモード、VA (Vertically Aligned) モード、PDL C (Polymer Dispersed LiquidCrystal) モード等の動作モードや、ノーマリーホワイトモード/ノーマリーブラックモードの別に応じて、偏光フィルム、位相差フィルム、偏光板などが所定の方向で配置される。

【0110】(電気光学装置の応用例) 以上説明した各実施形態における電気光学装置は、プロジェクタに適用できる。上述した電気光学装置をライトバルブとして用いたプロジェクタについて説明する。図17は、このプロジェクタの構成を示す平面図である。この図に示されるように、プロジェクタ1100内部には、ハロゲンランプ等の白色光源からなるランプユニット1102が設けられている。このランプユニット1102から射出された投射光は、内部に配置された3枚のミラー1106および2枚のダイクロイックミラー1108によってRGBの3原色に分離されて、各原色に対応するライトバルブ100R、100Gおよび100Bにそれぞれ導かれる。ここで、ライトバルブ100R、100Gおよび

22

100Bの構成は、上述した実施形態に係る電気光学装置と同様であり、画像信号を入力する処理回路(図示省略)から供給されるR、G、Bの原色信号でそれぞれ駆動されるものである。また、B色の光は、他のR色やG色と比較すると、光路が長いので、その損失を防ぐために、入射レンズ1122、リレーレンズ1123および出射レンズ1124からなるリレーレンズ系1121を介して導かれる。

【0111】さて、ライトバルブ100R、100G、100Bによってそれぞれ変調された光は、ダイクロイックプリズム1112に3方向から入射する。そして、このダイクロイックプリズム1112において、R色およびB色の光は90度に屈折する一方、G色の光は直進する。したがって、各色の画像が合成された後、スクリーン1120には、投射レンズ1114によってカラー画像が投射されることとなる。

【0112】なお、ライトバルブ100R、100Gおよび100Bには、ダイクロイックミラー1108によって、R、G、Bの各原色に対応する光が入射するので、上述したようにカラーフィルタを設ける必要はない。また、ライトバルブ100R、100Bの透過像はダイクロイックミラー1112により反射した後に投射されるのに対し、ライトバルブ100Gの透過像はそのまま投射されるので、ライトバルブ100R、100Bによる表示像を、ライトバルブ100Gによる表示像に対して左右反転させる構成となっている。

【0113】尚、各実施形態では、対向基板20に、カラーフィルタは設けられていない。しかしながら、画素電極9aに対向する所定領域にRGBのカラーフィルタをその保護膜と共に、対向基板20上に形成してもよい。このようにすれば、プロジェクタ以外の直視型や反射型のカラー電気光学装置について、各実施形態における電気光学装置を適用できる。また、対向基板20上に1画素1個対応するようにマイクロレンズを形成してもよい。あるいは、TFTアレイ基板10上のRGBに対向する画素電極9a下にカラーレジスト等でカラーフィルタ層を形成することも可能である。このようにすれば、入射光の集光効率を向上することで、明るい電気光学装置が実現できる。更にまた、対向基板20上に、何層もの屈折率の相違する干渉層を堆積することで、光の干渉を利用して、RGB色を作り出すダイクロイックフィルタを形成してもよい。このダイクロイックフィルタ付き対向基板によれば、より明るいカラー電気光学装置が実現できる。

【0114】本発明は、上述した実施形態に限られるものではなく、請求の範囲及び明細書全体から読み取れる発明の要旨或いは思想に反しない範囲で適宜変更可能であり、そのような変更を伴う電気光学装置及びその製造方法もまた本発明の技術的範囲に含まれるものである。

(13)

23

【図面の簡単な説明】

【図1】本発明の実施形態の電気光学装置におけるTFTアレイ基板をその上に形成された各構成要素と共に対向基板の側から見た平面図である。

【図2】図1のH-H'断面図である。

【図3】本発明の実施形態の電気光学装置における画像表示領域を構成するマトリクス状の複数の画素に設けられた各種素子、配線等の等価回路及び周辺回路のブロック図である。

【図4】図2のC領域における平面パターン図である。 10

【図5】図4のA-A'断面図である。

【図6】本実施形態の電気光学装置における対向電極の平面パターンの一具体例を示す平面図である。

【図7】本実施形態の電気光学装置における対向電極の平面パターンの他の具体例を示す平面図である。

【図8】本実施形態の電気光学装置における対向電極の平面パターンの他の具体例を示す平面図である。

【図9】本実施形態の電気光学装置における対向電極の平面パターンの他の具体例を示す平面図である。

【図10】本実施形態の電気光学装置における対向電極 20
の平面パターンの一応用例を示す平面図である。

【図11】本実施形態の電気光学装置における対向電極
の平面パターンの他の応用例を示す平面図である

【図12】実施形態の電気光学装置におけるデータ線、
走査線、画素電極等が形成されたTFTアレイ基板の相
隣接する複数の画素群の平面図である。

【図13】図12のB-B'断面図である。

【図14】本実施形態に係る対向基板の製造プロセスを
示す工程図である。

【図15】本実施形態に係る対向基板を多数含むマザー 30
基板の平面図である。

24

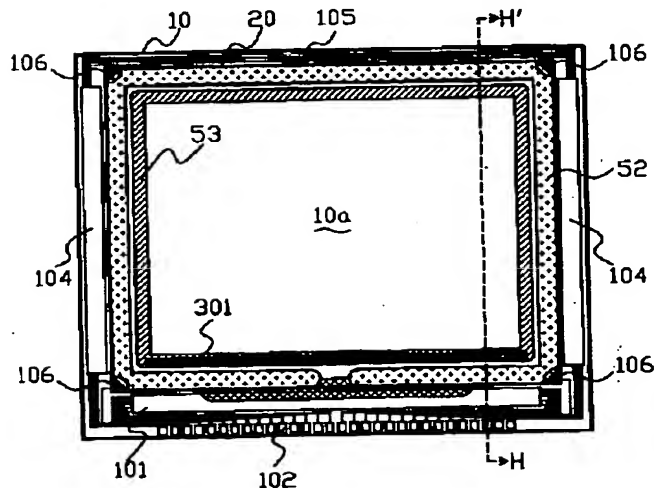
【図16】画像信号の電位変動による対向電極電位の電
位変動を示したタイミングチャート図である。

【図17】プロジェクトの構成を示す平面図である。

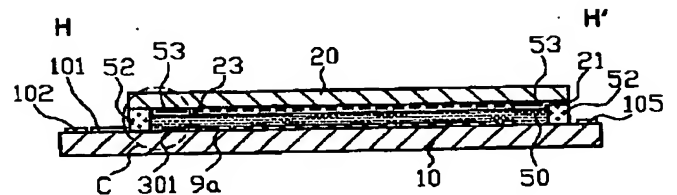
【符号の説明】

- 1 a…半導体層
- 1 a'…チャネル領域
- 1 b…低濃度ソース領域
- 1 c…低濃度ドレイン領域
- 1 d…高濃度ソース領域
- 1 e…高濃度ドレイン領域
- 2…絶縁薄膜
- 3 a…走査線
- 6 a…データ線
- 9 a…画素電極
- 10…TFTアレイ基板
- 11 a…下側遮光膜
- 12…下地絶縁膜
- 16…配向膜
- 20…対向基板
- 21…対向電極
- 22…配向膜
- 30…TFT
- 50…液晶層
- 70…蓄積容量
- 101…データ線駆動回路
- 104…走査線駆動回路
- 114…サンプリング回路駆動信号線
- 115…画像信号線
- 116…引き出し配線
- 301…サンプリング回路
- 500…マザー基板

【図1】

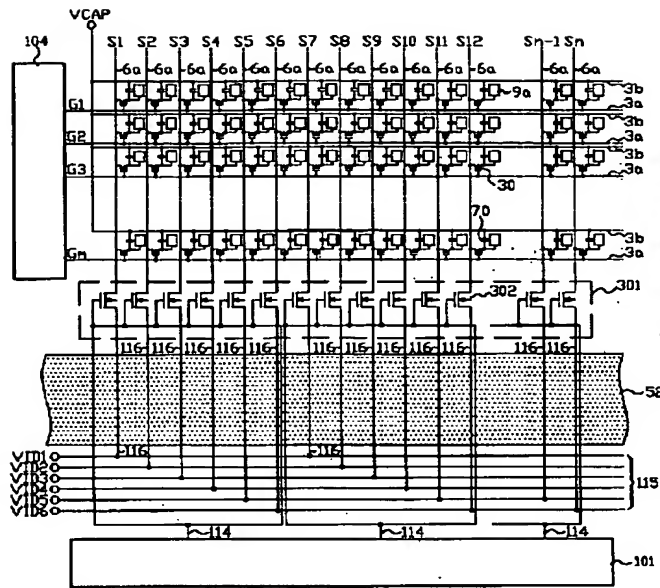


【図2】

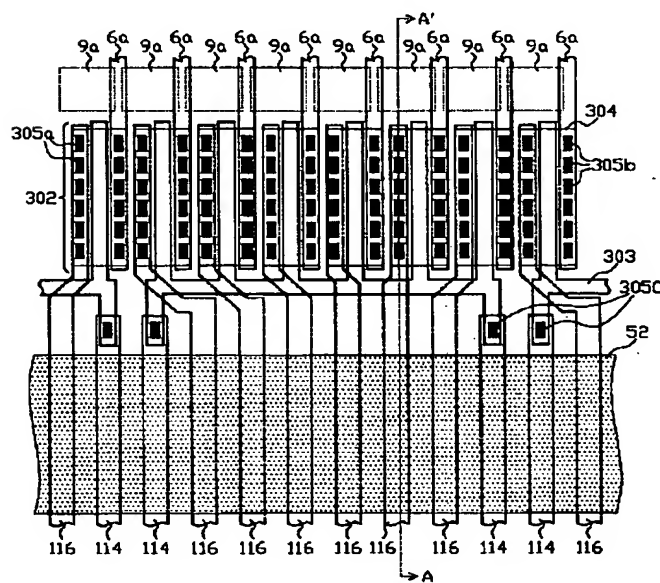


(14)

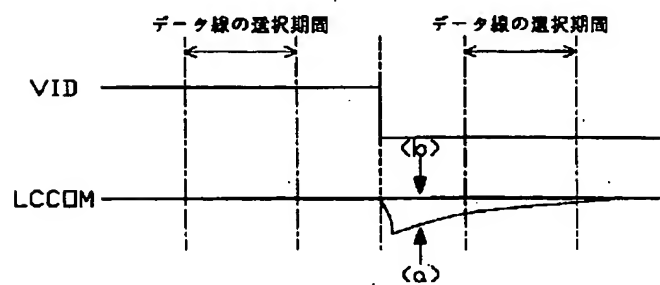
【図3】



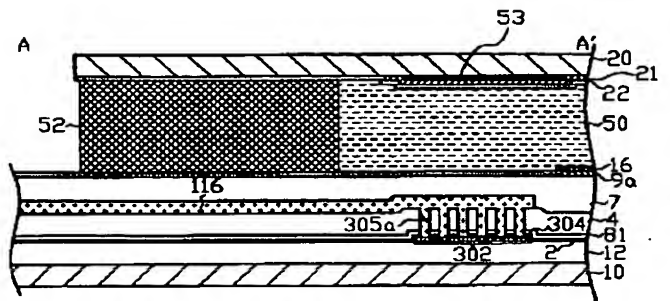
【図4】



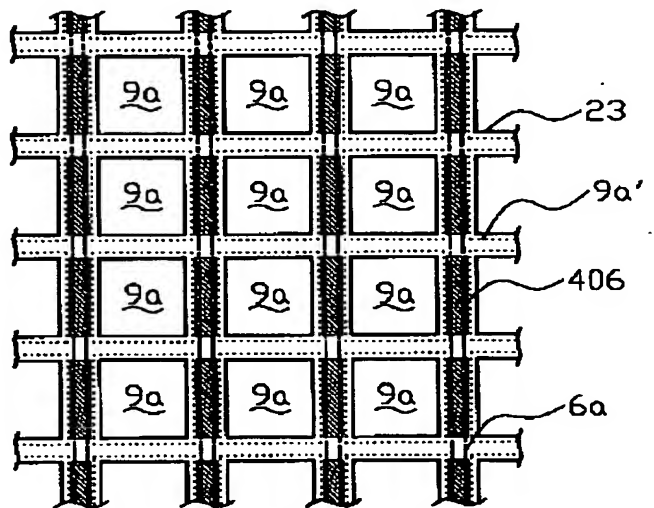
【図16】



【図5】

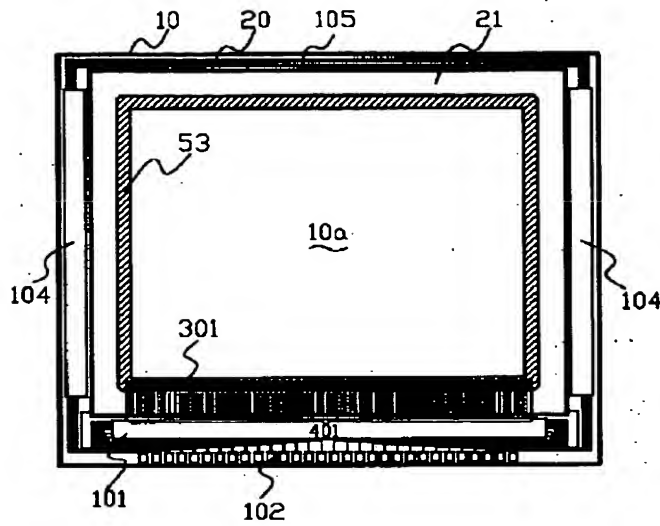


【図11】

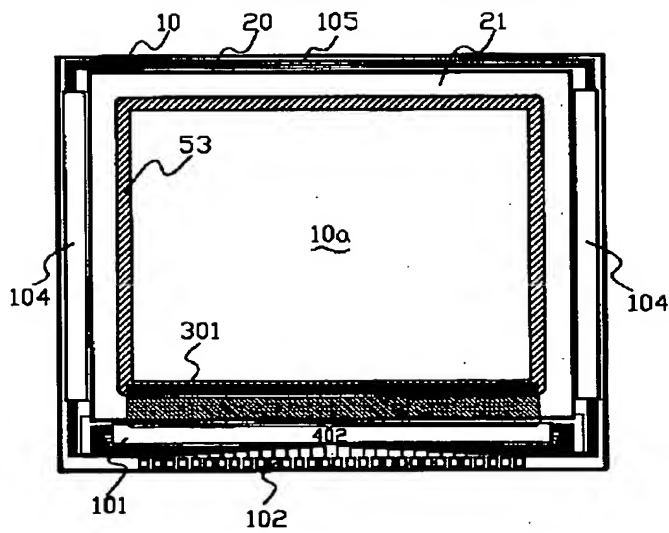


(15)

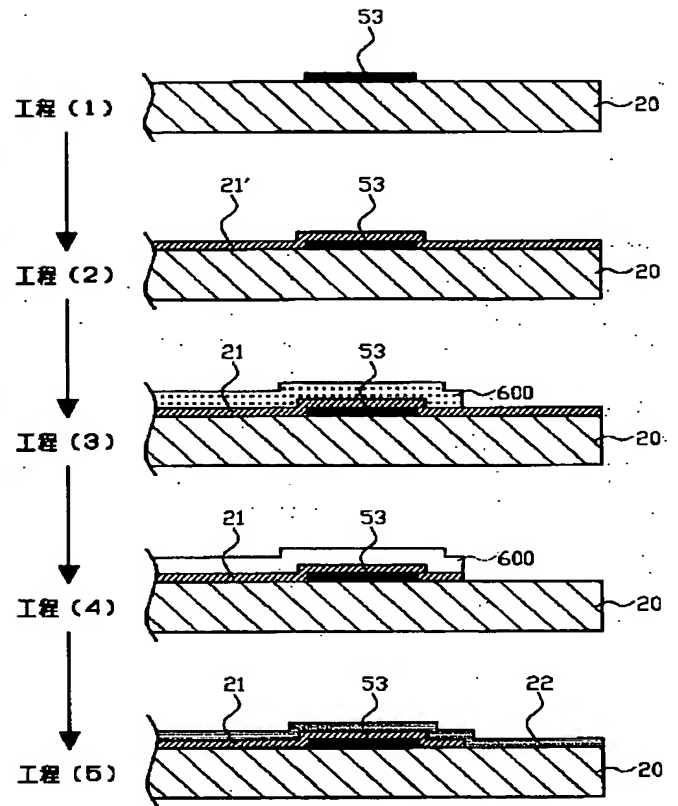
【図6】



【図7】

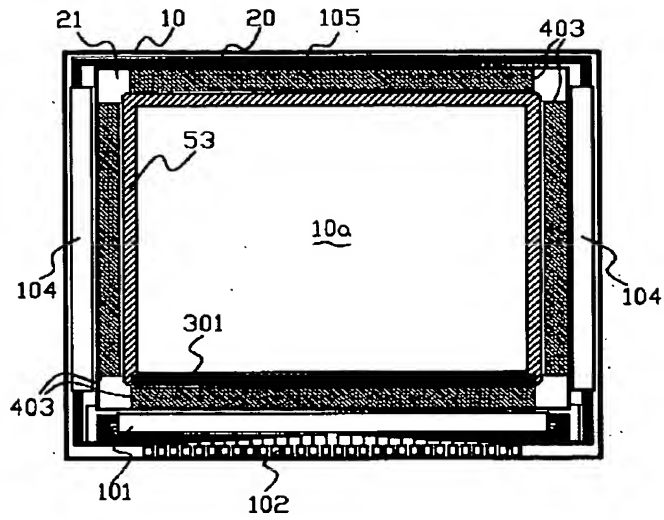


【図14】

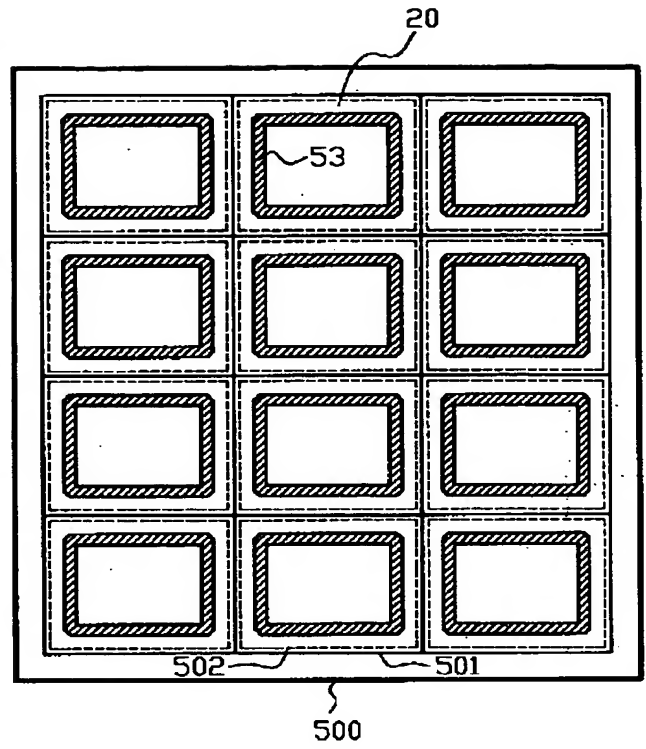


(16)

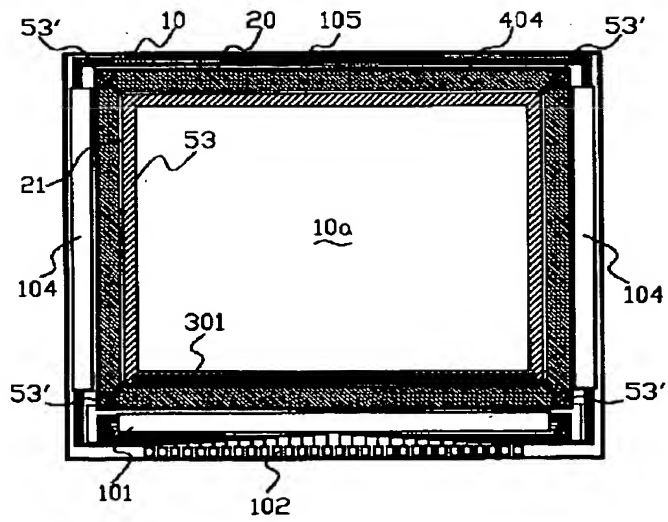
【図8】



【図15】

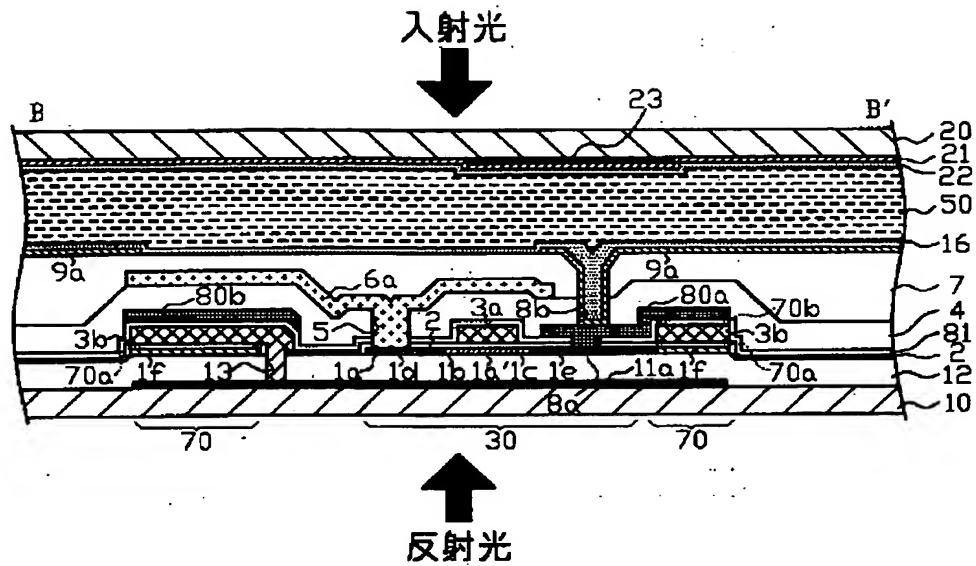


【図9】

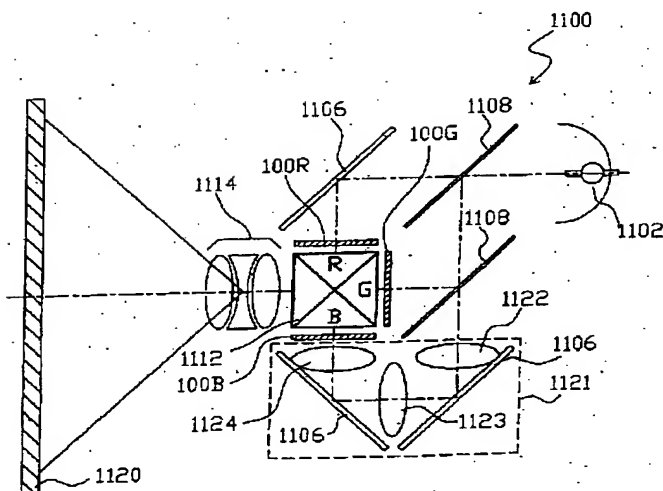


(18)

【図13】



【図17】



フロントページの続き

(51) Int. Cl. 7

G 0 3 B 21/00

G 0 9 F 9/00

9/30

9/35

識別記号

3 3 8

3 3 0

F I

G 0 3 B 21/00

G 0 9 F 9/00

9/30

9/35

ターマコード (参考)

E

3 3 8

3 3 0 Z

(19)

F ターム (参考) 2H088 EA15 FA06 FA07 FA26 HA13
HA14 HA18 HA21 HA24 HA28
MA09
2H089 LA46 PA19 QA16 TA02 TA13
UA05
2H092 GA33 GA36 GA59 JA24 JB14
MA13 MA17 NA23 RA05
5C094 AA02 BA03 BA43 CA19 EA04
EA07
5G435 AA01 BB12 CC09 KK05 KK10

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-189228

(43)Date of publication of application : 05.07.2002

(51)Int.Cl.

G02F 1/1345

G02F 1/13

G02F 1/1341

G02F 1/1343

G03B 21/00

G09F 9/00

G09F 9/30

G09F 9/35

(21)Application number : 2001-277092

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 12.09.2001

(72)Inventor : MURAIDE MASAO
UCHIDA MASAHIKE

(30)Priority

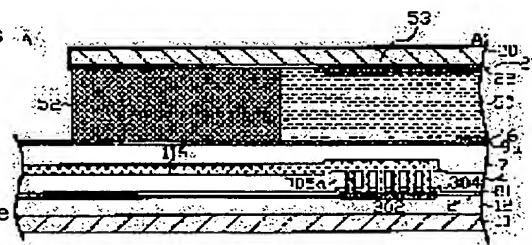
Priority number : 2000300929 Priority date : 29.09.2000 Priority country : JP

(54) ELECTRO-OPTICAL DEVICE AND MANUFACTURING METHOD THEREFOR, AND PROJECTIVE DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To display a high quality picture reduced in ghost by reducing parasitic capacitance between the wiring on one substrate and the counter electrode on the other substrate by a relatively simple construction in an electro-optical device such as a liquid crystal device.

SOLUTION: The electro-optical device is provided with pixel electrodes (9a) and TFTs (30) connected therewith on a TFT array substrate (10). Further, on the peripheral area (including the frame area and sealing area), the device is provided with peripheral circuits such as a data line driving circuit (101) related to the pixel electrodes and a sampling circuit (301), and the wiring for supplying pixel signals or the like. On the counter substrate (20), the counter electrode (21) is formed avoiding the area faced to such wiring.



LEGAL STATUS

[Date of request for examination] 12.09.2001

[Date of sending the examiner's decision of rejection] 15.07.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection] 2003-15651

[Date of requesting appeal against examiner's decision of rejection] 12.08.2003

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] Come to pinch electrooptic material between the 1st and 2nd substrates of a couple, and to the image display field on said 1st substrate To the boundary region which is equipped with two or more pixel electrodes, and is located around said image display field on said 1st substrate, and said image display field Said pixel electrode is equipped with wiring for supplying a signal. It is the electro-optic device characterized by not forming a counterelectrode in a part of field [at least] which counters the wiring part which is in said boundary region at least among said wiring while countering said two or more pixel electrodes on said 2nd substrate.

[Claim 2] Said counterelectrode is an electro-optic device according to claim 1 characterized by being formed the shape of a strip of paper, and in the shape of a stripe so that the field which sees superficially and counters said wiring may be avoided for every wiring.

[Claim 3] Said counterelectrode is an electro-optic device according to claim 1 characterized by the thing which adjoin each other the field which sees superficially and counters said wiring, and which is formed so that it may avoid for two or more wiring of every.

[Claim 4] Said counterelectrode is an electro-optic device according to claim 1 characterized by not being formed in said boundary region at all.

[Claim 5] Said wiring is an electro-optic device given in any 1 term of claims 1-4 characterized by including the picture signal line for supplying the picture signal formed in said boundary region.

[Claim 6] Said wiring is an electro-optic device given in any 1 term of claims 1-5 characterized by including the data line for being formed in said image display field at least, and supplying a picture signal.

[Claim 7] The electro-optic device according to claim 6 characterized by supplying the picture signal by which serial-parallel conversion was carried out to the same timing to two or more data lines which adjoin each other.

[Claim 8] It is an electro-optic device given in any 1 term of claims 1-7 which equip said boundary region with the circumference circuit further, and are characterized by said wiring including drawer wiring which connects the picture signal line and this picture signal line, and said circumference circuit for supplying the picture signal formed in said boundary region.

[Claim 9] Said circumference circuit is an electro-optic device according to claim 8 characterized by including the sampling circuit which samples the picture signal supplied to said drawer wiring.

[Claim 10] An electro-optic device given in any 1 term of claims 1-9 to which the vertical flow terminal for connecting said counterelectrode and part of said wiring electrically is characterized by being prepared in the corner of said 2nd substrate.

[Claim 11] It is an electro-optic device given in any 1 term of claims 1-10 characterized by for said 1st and 2nd substrates being stuck by the sealant in the seal field established in the outside of said image display field, and not forming said counterelectrode in the field which counters said wiring in said seal field selectively at least.

[Claim 12] Said counterelectrode is an electro-optic device according to claim 11 characterized by not being formed in said seal field at all.

[Claim 13] The electro-optic device according to claim 12 characterized by having further a conductive

light-shielding film containing the vertical flow terminal area for connecting the part and said counterelectrode of said wiring to said 2nd substrate electrically while specifying a frame to the perimeter of said image display field.

[Claim 14] An electro-optic device given in any 1 term of claims 1-13 characterized by forming said counterelectrode on the light-shielding film which equips said 2nd substrate with the conductive light-shielding film which consists of film containing aluminum further while specifying a frame to the perimeter of said image display field, and specifies said frame.

[Claim 15] Come to pinch electrooptic material between the 1st substrate of a couple, and the 2nd substrate, and to the image display field on said 1st substrate To the boundary region which is equipped with two or more pixel electrodes, and is located around said image display field on said 1st substrate, and said image display field The electro-optic device characterized by having the counterelectrode formed in the field which does not counter the wiring part which is in said boundary region at least among said wiring while equipping said pixel electrode with wiring for supplying a signal and countering said two or more pixel electrodes on said 2nd substrate.

[Claim 16] The membrane formation process which forms the electric conduction film which is the manufacture approach of the opposite substrate concerning an electro-optic device given in any 1 term of claims 1-15, and serves as said counterelectrode all over said 2nd substrate, The manufacture approach of the opposite substrate characterized by having the etching process which forms said counterelectrode by removing selectively at least said electric conduction film formed in the field which counters said wiring of the photolithography and etching to said electric conduction film.

[Claim 17] The manufacture approach of the opposite substrate according to claim 16 characterized by to have further the cutting process which cuts in the field which met the cutting plane line with which said electric-conduction film which formed two or more said opposite substrates on the mother substrate, and was formed in the field which met the cutting plane line at said etching process in addition to the field which counters said wiring was removed, and said electric-conduction film was removed.

[Claim 18] Said cutting process is the manufacture approach of the opposite substrate according to claim 17 characterized by cutting with a dicing blade.

[Claim 19] The projection mold display characterized by having the light source, the light valve which becomes any 1 term of claims 1-15 with the electro-optic device of a publication, the light guide section material which carries out the light guide of the light generated from said light source to said light valve, and the incident light faculty material which projects the light modulated with said light valve.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention belongs to the technical field of electro-optic devices, such as liquid crystal equipment equipped with the electrode of the couple prepared between the substrates of a couple at the side which it comes to pinch electrooptic material and faces the electrooptic material in the substrate of this couple, and the manufacture approach of those.

[0002]

[Description of the Prior Art] Generally with this kind of electro-optic device, it has the TFT array substrate with which wiring of the data line which is connected to the thin film transistor (TFT (Thin Film Transistor) is called suitably below) and this which carry out switching control of a pixel electrode and this, and supplies a picture signal, the scanning line which supplies a scan signal etc. was prepared. Furthermore, opposite arrangement is carried out at the side by which wiring of this TFT array substrate etc. has been arranged, and it has the opposite substrate with which the counterelectrode was prepared in the whole surface else [, such as a light filter and a light-shielding film,]. Electrooptic material, such as liquid crystal, is pinched between these TFT array substrates and an opposite substrate. And it is constituted by the thing (for example, the orientation condition of liquid crystal is changed) corresponding to a pixel electrode for which driver voltage is generated and each electrooptic material part is driven between a pixel electrode and a counterelectrode for every pixel so that a display action may be performed.

[0003] To this kind of electro-optic device, moreover, to the boundary region of the outside of an image display field Various wiring, such as a picture signal line for supplying a picture signal to a sampling circuit, The sampling circuit which samples the picture signal supplied to a picture signal line according to a sampling circuit driving signal, and is supplied to the data line, The data-line actuation circuit which supplies this sampling circuit driving signal to a sampling circuit, In order to supply the picture signal supplied to the data line to a pixel electrode, there is an actuation circuit built-in thing equipped with circumference actuation circuits, such as a scanning-line actuation circuit for supplying the scan signal which performs switching operation of TFT to the scanning line.

[0004]

[Problem(s) to be Solved by the Invention] However, if opposite arrangement of wiring of drawer wiring from the picture signal line on a TFT array substrate and the picture signal line concerned etc. and the counterelectrode on an opposite substrate is carried out like ****, potential fluctuation of a counterelectrode will arise in potential fluctuation of a picture signal with the parasitic capacitance between both. That is, in drawing 16 , potential change of the picture signal VID supplied to a picture signal line fluctuates the counterelectrode potential LCCOM which should be fixed potential (however, the fixed potential at the time of reversal actuation reversed periodically is also included) essentially, as shown in an arrow head a. Since the potential impressed to electrooptic material at the time of selection actuation of the data line after the next step changes to a contingency before fluctuation of this counterelectrode potential LCCOM, i.e., potential fluctuation of common wiring, returns to an original programmed voltage, the trouble that a ghost occurs is shown in a display image.

[0005] In the case of the electro-optic device of a transparency mold, since it is necessary to form especially a counterelectrode from a transparent electrode, as for such a counterelectrode, it is common to form from the ITO (Indium Tin Oxide) film. however, the ITO film -- like -- comparatively -- high -- if a counterelectrode is formed from the electric conduction film [****], before a counterelectrode becomes common potential after the potential fluctuation by parasitic capacitance with the picture signal line like **** etc., the writing to the pixel electrode of a picture signal will be completed. For this reason, there is a trouble that generating of the ghost by the applied parasitic capacitance becomes remarkable.

[0006] Moreover, since opposite arrangement of wiring and the counterelectrode with which the width of face of potential fluctuation supplies a large or signal with a high frequency especially in an actuation circuit built-in case is carried out, there is a trouble that the potential fluctuation in the counterelectrode by such parasitic capacitance becomes large, and a ghost's generating becomes more

remarkable as a result.

[0007] Furthermore, there is a trouble that such a ghost is conspicuous on vision, so that there are many numbers changed into a parallel picture signal, when carrying out serial-parallel conversion of the picture signal, changing a serial picture signal to two or more parallel picture signals and making a frequency low. That is, the ghost concerned spreads in the shape of [big] a block, and it becomes easy to check him by looking, so that there is many serial-parallel conversion, since the starting ghost leaves and generates only the number of the data line equal to the number of serial-parallel conversion from an original image on a screen. Especially the ghost of the letter of a block concerned also has the trouble that animation display is further conspicuous on vision at any rate in the case of data display, such as a personal computer screen.

[0008] In addition, although the cure which prepares the shielding film which shields a counterelectrode from a picture signal line etc. to such a problem, forms the counterelectrode itself from the low resistance film, or carries out additional formation of the low resistance film on a counterelectrode is also considered, it is expected that the malfunction of electrooptic material happens by causing lifting of cost by the laminated structure of an opposite substrate and complication of a production process in any case, the added shielding film.

[0009] Let it be a technical problem to offer the electro-optic device in which the high-definition image display by which potential fluctuation of the counterelectrode resulting from the applied parasitic capacitance was reduced, and the ghost was reduced by this is possible, and its manufacture approach by this invention being made in view of the above-mentioned trouble, and reducing the parasitic capacitance between wiring arranged on one substrate with the comparatively easy configuration, and the counterelectrode arranged on the substrate of another side which counters this.

[0010]

[Means for Solving the Problem] In order that the electro-optic device of this invention may solve the above-mentioned technical problem, it comes to pinch electrooptic material between the 1st and 2nd substrates of a couple. The image display field on said 1st substrate is equipped with two or more pixel electrodes. To the boundary region located around said image display field on said 1st substrate, and said image display field While equipping said pixel electrode with wiring for supplying a signal and countering said two or more pixel electrodes on said 2nd substrate, it is characterized by not forming a counterelectrode in a part of field [at least] which counters the wiring part which is in said boundary region at least among said wiring.

[0011] According to the electro-optic device of this invention, at the time of the actuation, signals, such as a picture signal, are supplied to wiring formed on the 1st substrate, and a pixel electrode is supplied. Therefore, according to the starting signal, driver voltage is impressed between a pixel electrode and a counterelectrode for every pixel, the electrooptic material among both drives, and electro-optics-image display is performed. The counterelectrode is not formed in a part of field [at least] which counters the wiring part which is in a boundary region among wiring of a picture signal line etc. especially here. Therefore, as compared with the case where the counterelectrode is further formed all over the 2nd substrate when all are formed also in the field to which a counterelectrode counters wiring in a boundary region, the parasitic capacitance between a counterelectrode and wiring is reduced only for the part to which the counterelectrode has not countered wiring. Consequently, according to this invention, potential fluctuation of the counterelectrode by potential fluctuation of the signal (for example, picture signal) supplied to wiring resulting from the parasitic capacitance between the built counterelectrode and wiring can be reduced. Since the parasitic capacitance between the counterelectrode which the electro-optic device concerned is a transparency mold, and is especially built even if the ITO film etc. forms a counterelectrode from the transparence electric conduction film of high resistance comparatively, and wiring is reduced, it becomes possible to reduce potential fluctuation of the counterelectrode resulting from this, and is very advantageous. Consequently, potential of a counterelectrode can be made into fixed potential (however, the fixed potential at the time of reversal

actuation reversed periodically is also included) good, and the high-definition image display by which the ghost was reduced by this becomes possible.

[0012] In addition, such a counterelectrode does not need to be formed in the field which counters the wiring part which may be selectively formed in the field which counters the wiring part in a boundary region, or is in a boundary region at all.

[0013] In one mode of the electro-optic device of this invention, said counterelectrode is formed the shape of a strip of paper, and in the shape of a stripe so that the field which sees superficially and counters said wiring may be avoided for every wiring.

[0014] According to this mode, the counterelectrode is formed in the shape of a strip of paper so that the field which counters wiring on the 1st substrate may be avoided for every wiring. For example, the counterelectrode is not formed in the field which counters wiring in a boundary region for every wiring. Or the counterelectrode is formed in the shape of a stripe so that the field which counters wiring on the 1st substrate may be avoided for every wiring. For example, the counterelectrode is not formed in the field which counters wiring to a boundary region and the whole image display field for every wiring. Therefore, potential fluctuation of the counterelectrode by potential fluctuation of the signal supplied to wiring resulting from the parasitic capacitance between wiring and a counterelectrode can be reduced.

[0015] Or in other modes in the electro-optic device of this invention, said counterelectrode is formed so that the field which sees superficially and counters said wiring may be avoided for two or more wiring of every which adjoins each other.

[0016] According to this mode, the counterelectrode is formed so that the field which counters wiring on the 1st substrate may be avoided for two or more wiring of every. For example, there is a field in which the counterelectrode is not formed in the shape of a block for every side of a boundary region. Therefore, potential fluctuation of the counterelectrode by potential fluctuation of the signal supplied to wiring resulting from the parasitic capacitance between wiring and a counterelectrode can be reduced.

[0017] Or in other modes in the electro-optic device of this invention, said counterelectrode is not formed in said boundary region at all.

[0018] According to this mode, in the field which counters wiring on the 1st substrate, the counterelectrode is not formed in the boundary region at all. Therefore, potential fluctuation of the counterelectrode by potential fluctuation of the signal supplied to wiring resulting from the parasitic capacitance between wiring and a counterelectrode can be reduced as much as possible.

[0019] In other modes in the electro-optic device of this invention, said wiring contains the picture signal line for supplying the picture signal formed in said boundary region.

[0020] According to this mode, in the field in which the width of face of potential fluctuation generally counters the picture signal line by which a large picture signal with a high frequency is supplied, the counterelectrode is not formed selectively at least. Therefore, potential fluctuation of the counterelectrode by potential fluctuation of the picture signal supplied to the picture signal line resulting from the parasitic capacitance between a picture signal line and a counterelectrode can be reduced.

[0021] In other modes in the electro-optic device of this invention, said wiring contains the data line for being formed in said image display field at least, and supplying a picture signal.

[0022] According to this mode, in the field in which the width of face of potential fluctuation generally counters the data line with which a large picture signal with a high frequency is supplied, the counterelectrode is not formed selectively at least. Therefore, potential fluctuation of the counterelectrode by potential fluctuation of the picture signal supplied to the data line resulting from the parasitic capacitance between the data line and a counterelectrode can be reduced.

[0023] In this mode, the picture signal by which serial-parallel conversion was carried out may be supplied to two or more data lines which adjoin each other to the same timing.

[0024] Thus, if constituted, potential fluctuation of the counterelectrode by the potential fluctuation resulting from the picture signal line which supplies the picture signal which carried out serial-parallel conversion, and the parasitic capacitance between counterelectrodes can be reduced. Therefore, the

ghost checked by looking in the shape of a block according to the number of serial-parallel conversion can be reduced. For this reason, since it can avoid generating the ghost of the letter of a block even if it performs simultaneous actuation of two or more data lines, using TFT of the low engine performance as a sampling circuit, raising drive frequency especially, it is very advantageous practically.

[0025] In other modes in the electro-optic device of this invention, said boundary region is further equipped with the circumference circuit, and said wiring includes drawer wiring which connects the picture signal line and this picture signal line, and said circumference circuit for supplying the picture signal formed in said boundary region.

[0026] According to this mode, in the field in which the width of face of potential fluctuation generally counters the picture signal line and drawer wiring with which a large picture signal with a high frequency is supplied, the counterelectrode is not formed selectively at least. Therefore, the potential fluctuation of the counterelectrode by potential fluctuation of a picture signal resulting from the parasitic capacitance between a picture signal line, drawer wiring, and a counterelectrode can be reduced.

[0027] In this mode, said circumference circuit may also include the sampling circuit which samples the picture signal supplied to said drawer wiring.

[0028] Thus, if constituted, the picture signal supplied to drawer wiring from a picture signal line will be sampled by the sampling circuit, and it will become possible to supply each pixel electrode through wiring of the data line etc.

[0029] In other modes in the electro-optic device of this invention, the vertical flow terminal for connecting said counterelectrode and part of said wiring electrically is prepared in the corner of said 2nd substrate.

[0030] According to this mode, it becomes possible to make a counterelectrode into fixed potential (however, for the fixed potential at the time of reversal actuation reversed periodically to also be included) good through some of vertical flow terminals prepared in the corner of the 2nd substrate (opposite substrate), and wiring.

[0031] In other modes in the electro-optic device of this invention, said 1st and 2nd substrates are stuck by the sealant in the seal field established in the outside of said image display field, and said counterelectrode is not selectively formed in the field which counters said wiring in said seal field at least.

[0032] According to this mode, the counterelectrode is not selectively formed in the field which counters wiring in a seal field at least. Therefore, potential fluctuation of the counterelectrode by potential fluctuation of the signal supplied to wiring resulting from the parasitic capacitance between wiring in a seal field and a counterelectrode can be reduced. In addition, the "seal field" in this application is a field of the outside of an image display field, and is included in a boundary region.

[0033] In this mode, said counterelectrode does not need to be formed in said seal field at all.

[0034] Thus, if constituted, potential fluctuation of the counterelectrode by potential fluctuation of the signal supplied to wiring resulting from the parasitic capacitance between wiring in a seal field and a counterelectrode can be reduced as much as possible. And since the height of the 2nd substrate front face where gap material contacts is made over the whole seal field as it is uniform when mixing the gap material for controlling the gap between substrates with the 1st substrate and the 2nd substrate in a sealant in the small electro-optic device of about 2 centimeters of vertical angles, it also becomes possible to control the gap between the substrates concerned by high degree of accuracy, for example.

[0035] In this mode, you may have further a conductive light-shielding film containing the vertical flow terminal area for connecting the part and said counterelectrode of said wiring to said 2nd substrate electrically further, while specifying a frame to the perimeter of said image display field.

[0036] Thus, if constituted, a light-shielding film can achieve both function to specify a frame, and function as a vertical flow terminal area, and is advantageous. And if it installs from the corner of the light-shielding film which specifies a frame and a vertical flow terminal area is prepared, since the configuration which takes a vertical flow in the boundary region located around a frame is obtained

reasonable, it is very advantageous. In addition, the field in which the "frame" in this application is formed is a field (field between the above-mentioned seal field and an image display field) which met the perimeter of an image display field among boundary regions, and is included in a boundary region.

[0037] In other modes in the electro-optic device of this invention, said 2nd substrate is further equipped with the conductive light-shielding film which consists of film containing aluminum, while specifying a frame to the perimeter of said image display field, and said counterelectrode is formed on the light-shielding film which specifies said frame.

[0038] The light-shielding film which consists of film containing aluminum according to this mode can achieve both function to specify the frame which has good protection-from-light nature, and function as a vertical flow terminal area which has good conductivity, and is advantageous. And in case the counterelectrode is formed on the starting light-shielding film and a counterelectrode is etched, it is not put to etching. Therefore, if such a configuration is taken, it becomes unnecessary to form the light-shielding film concerned from the construction material stabilized chemically [it is strong to electric corrosion, or], and is advantageous.

[0039] In order that other electro-optic devices of this invention may solve the above-mentioned technical problem, it comes to pinch electrooptic material between the 1st substrate of a couple, and the 2nd substrate. The image display field on said 1st substrate is equipped with two or more pixel electrodes. To the boundary region located around said image display field on said 1st substrate, and said image display field While equipping said pixel electrode with wiring for supplying a signal and countering said two or more pixel electrodes on said 2nd substrate, you may have the counterelectrode formed in the field which does not counter the wiring part which is in said boundary region at least among said wiring.

[0040] As compared with the case where the counterelectrode is further formed all over the 2nd substrate when all are formed also in the field to which a counterelectrode counters wiring in a boundary region according to other electro-optic devices of this invention, the parasitic capacitance between a counterelectrode and wiring is reduced only for the part to which the counterelectrode has not countered wiring. Consequently, potential fluctuation of the counterelectrode by potential fluctuation of the signal (for example, picture signal) supplied to wiring resulting from the parasitic capacitance between the built counterelectrode and wiring can be reduced.

[0041] In order that the manufacture approach of the opposite substrate of this invention may solve the above-mentioned technical problem, it is the manufacture approach of the opposite substrate (the various modes are also included) concerning the electro-optic device of this invention mentioned above. By the membrane formation process which forms the electric conduction film which serves as said counterelectrode all over said 2nd substrate, and the photolithography and etching to said electric conduction film It has the etching process which forms said counterelectrode by removing selectively at least said electric conduction film formed in the field which counters said wiring.

[0042] According to the manufacture approach of the opposite substrate of this invention, first, at a membrane formation process, the electric conduction film which serves as a counterelectrode all over the 2nd substrate is formed, and the electric conduction film formed in the field which counters wiring by the photolithography and etching is selectively removed at least by the etching process after that. Therefore, the opposite substrate concerning the electro-optic device (the various modes are also included) of this invention mentioned above can be manufactured comparatively easily.

[0043] In one mode of the opposite substrate of this invention, two or more said opposite substrates are formed on a mother substrate, and, in addition to the field which counters said wiring, it has further the cutting process which cuts in the field which met the cutting plane line with which said electric conduction film formed in the field which met the cutting plane line was removed, and said electric conduction film was removed at said etching process.

[0044] According to this mode, two or more formation of the opposite substrate is carried out on a mother substrate. And at an etching process, the electric conduction film formed in the field which met

the cutting plane line is removed, and cutting is performed after that in the field which met the cutting plane line with which the electric conduction film was removed by the cutting process which separates two or more opposite substrates from a mother substrate. Therefore, the before-it-happens prevention of the generating of the dust and foreign matter which are produced by the counterelectrode which consists of ITO film etc. being disconnected at a cutting process can be carried out. Conversely, since what is necessary is just to add some modification to the field to which criteria, then this invention etch the manufacture approach which includes the etching process for reducing generating of the dust from the ITO film in such a cutting process etc. and a foreign matter from the first if it says, it is necessary to hardly cause the increment in a production process, and is very advantageous on practice.

[0045] The cutting process of the opposite substrate of this invention is cut with a dicing blade.

[0046] According to this mode, an opposite substrate is easily separable, rotating a dicing blade along with the cutting plane line formed on the mother substrate.

[0047] It is characterized by equipping the projection mold indicating equipment of this invention with the light source, the light valve which becomes with the electro-optic device of this invention, the light guide section material which carries out the light guide of the light generated from said light source to said light valve, and the incident light faculty material which projects the light modulated with said light valve, in order to solve the above-mentioned technical problem.

[0048] Such an operation and other gains of this invention are made clear from the gestalt of the operation explained below.

[0049]

[Embodiment of the Invention] Hereafter, the operation gestalt of this invention is explained based on a drawing. The following operation gestalten apply the electro-optic device of this invention to liquid crystal equipment.

[0050] First, the whole electro-optic device configuration in the operation gestalt of this invention is explained with reference to drawing 1 and drawing 2 . Here, the liquid crystal equipment of the actuation circuit built-in TFT active-matrix actuation method which is an example of an electro-optic device is taken for an example.

[0051] Drawing 1 is the top view which looked at the TFT array substrate from the opposite substrate side with each component formed on it, and drawing 2 is the H-H' sectional view of drawing 1 .

[0052] In drawing 1 and drawing 2 , opposite arrangement of the TFT array substrate 10 and the opposite substrate 20 is carried out with the electro-optic device concerning this operation gestalt. The liquid crystal layer 50 is enclosed between the TFT array substrate 10 and the opposite substrate 20, and the TFT array substrate 10 and the opposite substrate 20 are mutually pasted up by the sealant 52 prepared in the seal field located in the perimeter of image display field 10a.

[0053] After it consists of ultraviolet-rays hardening resin, heat-curing resin, etc. in order to stick both substrates, and a sealant 52 is applied on the TFT array substrate 10 in a manufacture process, it is stiffened by UV irradiation, heating, etc. Moreover, in the sealant 52, gap material, such as a glass fiber for making spacing between both substrates (gap between substrates) into a predetermined value or a glass bead, is sprinkled. That is, the electro-optic device of this operation gestalt is small as an object for the light valves of a projector, and suitable for performing an enlarged display. However, the electro-optic device concerned is large-sized like a liquid crystal display or a liquid crystal television, and as long as it is liquid crystal equipment which performs an actual size display, such gap material may be contained in the liquid crystal layer 50.

[0054] In parallel to the inside of the seal field where the sealant 52 has been arranged, the frame 53 of the protection-from-light nature which specifies image display field 10a is formed in the opposite substrate 20 side. It cannot be overemphasized that a frame 53 may be formed in the TFT array substrate 10 side. The data-line actuation circuit 101 and the external circuit connection terminal 102 are formed in the lateral part of the seal field where the sealant 52 has been arranged among the boundary regions which spread around an image display field along with one side of the TFT array

substrate 10, and the scanning-line actuation circuit 104 is established in it along with two sides which adjoin this one side. Furthermore, two or more wiring 105 for connecting between the scanning-line actuation circuits 104 established in the both sides of image display field 10a is formed in one side in which the TFT array substrate 10 remains. Moreover, as shown in drawing 1, in at least one place (drawing 1 four places) of the corner section of the opposite substrate 20, the vertical flow material 106 is arranged among both substrates, and the corner section of the counterelectrode 21 formed at the opposite substrate 20 functions as a vertical flow terminal by the side of the opposite substrate 20. On the other hand, in the field which counters these corners, the vertical flow terminal by the side of the TFT array substrate 10 is prepared in the TFT array substrate 10. By these, an electric flow can be taken between the TFT array substrate 10 and the opposite substrate 20.

[0055] Especially with this operation gestalt, the sampling circuit 301 is established in the field on the TFT array substrate 10 under a frame 53. The sampling circuit 301 is constituted so that the picture signal supplied to a picture signal line may be sampled according to the sampling circuit driving signal supplied from the data-line actuation circuit 101 and the data line may be supplied.

[0056] Next, the circuitry and actuation in the constituted electro-optic device are explained with reference to drawing 3 like the above. Drawing 3 is the block diagram showing the equal circuit and circumference circuits in two or more pixels formed in the shape of [which constitutes the image display field of an electro-optic device] a matrix, such as various components and wiring.

[0057] In drawing 3, the pixel TFT30 for carrying out switching control of pixel electrode 9a and the pixel electrode 9a concerned, respectively is formed in two or more pixels formed in the shape of [which constitutes the image display field of the electro-optic device in this operation gestalt] a matrix, and data-line 6a to which a picture signal is supplied is electrically connected to the source of the pixel TFT30 concerned.

[0058] In the boundary region which is outside image display field 10a, the end (it is a soffit in drawing 3) of data-line 6a is connected to the drain of the sampling TFT302 which constitutes a sampling circuit 301. On the other hand, the picture signal line 115 is connected to the source of sampling TFT302 through the drawer wiring 116. The sampling circuit actuation signal line 114 connected to the data-line actuation circuit 101 is connected to the gate of sampling TFT302. And the picture signals VID1-VID6 supplied to the picture signal line 115 are constituted so that it may be sampled by sampling TFT302 and picture signals S1-Sn may be supplied to each data-line 6a according to a sampling circuit driving signal being supplied through the sampling circuit actuation signal line 114 from the data-line actuation circuit 101.

[0059] Here, with this operation gestalt, a sampling circuit driving signal common to the gate of the sampling TFT302 corresponding to said data-line 6a is supplied so that this picture signal can be written in for six data-lines 6a which adjoins each other to the same timing. By the serial-parallel conversion circuit which is an external circuit, a serial picture signal is elongated 6 times, serial-parallel conversion is carried out and the parallel picture signals VID1-VID6 are supplied. Thus, by carrying out serial-parallel conversion of the picture signal for every six data lines, it cannot come out of the write-in time amount of a picture signal 6 times as much as possible, and the drive frequency of a data-line actuation circuit can be reduced to one sixth. Thereby, even if the capacity of sampling TFT302 or a pixel TFT30 is low, a high-speed image processing becomes possible. In addition, although the write-in time amount of a picture signal can be elongated the more the more there is many serial-parallel conversion, it is necessary to form the picture signal line 115 only several serial-parallel conversion minutes.

[0060] Moreover, scanning-line 3a is electrically connected to the gate of a pixel TFT30, and it consists of predetermined timing so that the scan signals G1, G2, --, Gm may be impressed to scanning-line 3a by the scanning-line actuation circuit 104 in pulse line sequential at this order. It connects with the drain of a pixel TFT30 electrically, and pixel electrode 9a writes in the picture signals S1, S2, --, Sn supplied from data-line 6a in the pixel TFT30 which is a switching element when only a fixed period closes the switch to predetermined timing. Fixed period maintenance of the picture signals S1, S2, --,

Sn of the predetermined level written in the liquid crystal as an example of electrooptic material through pixel electrode 9a is carried out between the counterelectrodes 21 formed in the opposite substrate 20 in drawing 2. When the orientation and order of molecular association change with the potential level impressed, liquid crystal modulates light and enables a gradation display. The transmission to incident light decreases according to the electrical potential difference impressed in the unit of each pixel when it was in no MARI White mode, if it is in NOMA reeve rack mode, the transmission to incident light will be increased according to the electrical potential difference impressed in the unit of each pixel, and light with the contrast according to a picture signal will carry out outgoing radiation from an electro-optic device as a whole. Here, in order to prevent the held picture signal leaking, storage capacitance 70 is added to the liquid crystal capacity and juxtaposition which are formed between pixel electrode 9a and a counterelectrode 21. It ranks with scanning-line 3a, and while the fixed potential side capacity electrode of storage capacitance 70 is included, capacity line 3b fixed to constant potential is prepared. Capacity line 3b is connected with the constant potential line on the outside of image display field 10a, and the fixed potential VCAP is supplied. The fixed potential VCAP is supplied from the outside of an electro-optic device. Or you may supply from constant potential lines, such as a power source of the data-line actuation circuit 101 prepared on a TFT array substrate, or the scanning-line actuation circuit 104, and may connect with the counterelectrode potential of the constant potential supplied to the counterelectrode 21 of the opposite substrate 20. If such a configuration is taken, in order that there may be no need of forming the external circuit connection terminal 102 in drawing 1 for fixed potential VCAP supply, it is advantageous to the miniaturization of an electro-optic device.

[0061] Next, the detail configuration of the electro-optic device in the C region enclosed with the broken line of drawing 2 is explained with reference to drawing 4. Drawing 4 is the top view of this field, and expresses the representative circuit schematic of drawing 3 here as concrete pattern drawing.

[0062] In drawing 4, the sampling TFT302 which constitutes a sampling circuit 301 is electrically connected to the source of the semi-conductor layer 304 through the drawer wiring 116 installed from the picture signal line, and contact hole 305a. On the other hand, the drain of the semi-conductor layer 304 is electrically connected through data-line 6a and contact hole 305b. The gate of sampling TFT302 is electrically connected with the sampling circuit actuation signal line 114 through contact hole 305b. Data-line 6a supplies picture signals S1-Sn to pixel electrode 9a. Here, the gate line 303 is formed in the gate of six samplings TFT30 as common wiring so that the adjoining sampling TFT302 can be controlled to six-piece coincidence.

[0063] As shown in drawing 3 and drawing 4, with this operation gestalt, the seal field which applied the sealant 52 for sticking the TFT array substrate 10 and the opposite substrate 20 is prepared between the picture signal line 115 and the sampling circuit 301. This forms the seal field by using effectively wiring fields, such as the sampling circuit actuation signal line 114 and the drawer wiring 116. Moreover, as the scanning-line actuation circuit 104 shows drawing 1, when forming on the TFT array substrate 10 outside the opposite substrate 20, the installation section of scanning-line 3a is used effectively, and it is good also as a seal field.

[0064] Conventionally, in the seal field where transparency electric conduction film, such as ITO currently formed all over the opposite substrate 20, is applied to a sealant 52, or its neighborhood, it constitutes from this operation gestalt here so that it may not lap with the drawer wiring 116 which supplies the sampling circuit actuation signal line 114 which supplies a sampling circuit driving signal, and a picture signal selectively at least and a counterelectrode may not be formed.

[0065] It is made not to form the counterelectrode 21 on the opposite substrate 20 in the drawer wiring 116 section which supplies a picture signal in drawing 5 which specifically showed the sectional view of the A-A' line of drawing 4. Thereby, since parasitic capacitance does not arise between the drawer wiring 116 and a counterelectrode, the counterelectrode potential supplied to a counterelectrode 21 is not changed in response to the effect of potential fluctuation of the picture signal supplied to the drawer wiring 116. Therefore, without being influenced by the picture signal VID of potential fluctuation

in the period (namely, selection period of data-line 6a) which the sampling TFT302 turns on, as shown in drawing 16 , like an arrow head b in the counterelectrode potential LCCOM, since it is fixed, a ghost always does not arise.

[0066] When carrying out serial-parallel conversion of the serial picture signal especially, in order to choose simultaneously two or more data-line 6a, Although the ghost of the letter of a block occurred and reduced image quality grace remarkably since two or more selected data-line 6a of all was influenced when potential fluctuation like an arrow head a took place to the counterelectrode potential LCCOM With this operation gestalt, in order that the counterelectrode potential LCCOM may not carry out capacity coupling to a picture signal VID, even if the number of serial-parallel conversion increases, a ghost does not occur. Although the number of serial-parallel conversion must be increased unless the capacity of sampling TFT302 is raised since the frequency of a picture signal VID becomes a high speed so that it becomes a high definition electro-optic device, it becomes possible by taking the configuration of this operation gestalt for there to be no ghost and to realize the high definition high electro-optic device of image quality grace.

[0067] Next, the various examples of the opposite substrate 20 of this operation gestalt are explained with reference to drawing 11 from drawing 6 . In addition, drawing 6 to drawing 10 is the top view showing the flat-surface pattern of the counterelectrode 21 formed in the opposite substrate 20 shown in drawing 1 with a frame 53, respectively.

[0068] In the example shown in drawing 6 , a counterelectrode 21 is seen superficially, and it is formed in the shape of a strip of paper so that the field 401 which counters the drawer wiring 116 from the picture signal line 115 shown by drawing 3 prepared between sampling circuits 301 from the data-line actuation circuit 101 or the picture signal line 115 concerned and wiring of sampling circuit actuation signal-line 114 grade may be avoided for every wiring. Since the counterelectrode 21 is not formed in the field to which the opposite substrate 20 laps with wiring in the part by this at least, potential fluctuation of the counterelectrode 21 by potential fluctuation of the signal supplied to wiring resulting from the parasitic capacitance between wiring and a counterelectrode 21 can be reduced.

[0069] In the example shown in drawing 7 , a counterelectrode 21 is seen superficially, and it is formed so that the field 402 of the letter of a block which counters the drawer wiring 116 from the picture signal line 115 shown by drawing 3 prepared between sampling circuits 301 from the data-line actuation circuit 101 or the picture signal line 115 concerned and two or more wiring of sampling circuit actuation signal-line 114 grade may be avoided. Since the counterelectrode 21 is not formed in the field to which the opposite substrate 20 laps with wiring in the shape of a block in the part by this at least, potential fluctuation of the counterelectrode 21 by potential fluctuation of the signal supplied to wiring resulting from the parasitic capacitance between wiring and a counterelectrode 21 can be reduced substantially.

[0070] In the example shown in drawing 8 , a counterelectrode 21 is seen superficially, and in near the neighborhood of not only the field that counters the drawer wiring 116 from the picture signal line 115 shown by drawing 3 prepared between sampling circuits 301 from the data-line actuation circuit 101, or the picture signal line 115 concerned, and wiring of sampling circuit actuation signal-line 114 grade but the opposite substrate 20, it is formed, respectively so that the field 403 of the letter of a block may be avoided. Even if it mixes the gap material for controlling the TFT array substrate 10 and the gap between the opposite substrates 20 into the sealant 52 in drawing 1 according to this configuration, since the counterelectrode 21 is formed so that the neighborhood of the opposite substrate 20 may be avoided uniformly, it can perform gap control between the TFT array substrate 10 and the opposite substrate 20 with high degree of accuracy. Since the counterelectrode 21 is not formed in the field to which the opposite substrate 20 laps with wiring in the shape of a block in the part by this at least, the high electro-optic device of the image quality grace which it not only can reduce substantially potential fluctuation of the counterelectrode 21 by potential fluctuation of the signal supplied to wiring resulting from the parasitic capacitance between wiring and a counterelectrode 21, but does not have an irregular color etc. by the stable gap control is realizable.

[0071] In addition, by the example shown in drawing 8 from drawing 6 , counterelectrode 21 part installed in the four corner sections of the opposite substrate 20 is functioning as a vertical flow terminal which contacts the vertical flow material 106 on the TFT array substrate 10 shown in drawing 1 , respectively. What is necessary is just to have prepared the vertical flow terminal which supplies counterelectrode potential to the counterelectrode 21 on the opposite substrate 20 from the TFT array substrate 10 in the one or more corner sections of the opposite substrate 20. Furthermore, the light-shielding film which constitutes a frame 53 from an example shown in drawing 8 from drawing 6 is covered with transparency electric conduction film, such as ITO which constitutes a counterelectrode 21 on the opposite substrate 20. Therefore, in this case, in case a counterelectrode 21 is formed by etching during that manufacture, the light-shielding film which constitutes a frame 53 is not put to etching. For this reason, it is satisfactory, even if it is weak to electric corrosion and forms a frame 53 from the light-shielding film containing aluminum with chemical low stability (aluminum). On the contrary, since good protection-from-light nature and good conductivity make it comparatively cheap and are not only acquired, but incident light can be reflected by aluminum with a high reflection factor when using as a light valve of a projection mold if a frame 53 is formed from the light-shielding film containing aluminum, the temperature rise of an electro-optics device table side can be prevented. A light-fast life can be improved by this and it is advantageous.

[0072] In the example shown in drawing 9 , a counterelectrode 21 is seen superficially and formed in the boundary region 404 at all including the seal field. That is, the counterelectrode 21 is more greatly formed a little from image display field 10a. Thus, if constituted, since there will be no field with which the drawer wiring 116 from the picture signal line 115 shown by drawing 3 prepared between sampling circuits 301 from the data-line actuation circuit 101 or the picture signal line 115 concerned, wiring of sampling circuit actuation signal-line 114 grade, and a counterelectrode 21 lap, Since potential fluctuation of the counterelectrode 21 by potential fluctuation of the signal supplied to wiring resulting from the parasitic capacitance between wiring and a counterelectrode 21 does not arise, a ghost does not occur. Moreover, the surface height of the opposite substrate 20 with which the gap material mixed into the sealant 52 in drawing 1 contacts is made to homogeneity over the whole seal field according to this operation gestalt. For this reason, the gap between substrates by gap material is controllable by high degree of accuracy. For example, since the thickness of the ITO film which constitutes a counterelectrode 21 is 100-200nm, if it is made not to form a counterelectrode 21 locally in a seal field, according to this thickness, control of the gap between substrates will become instability.

[0073] When a counterelectrode 21 is small formed like drawing 9 , it becomes impossible however, to make it function like the example shown in drawing 8 from drawing 6 as a vertical flow terminal in contact with the vertical flow material 106 shown in drawing 1 . Therefore, what is necessary is to install a frame 53 in the four corner sections of the opposite substrate 20, and just to consider as vertical flow terminal 53', while forming a frame 53 from a conductive light-shielding film in this case, as shown in drawing 9 . In this case, it cannot be overemphasized that the light-shielding film and counterelectrode 21 of the conductivity which forms a frame 53 are connected electrically.

[0074] Furthermore, if a counterelectrode 21 is formed small in this way, in case a counterelectrode 21 will be etched during the manufacture, the light-shielding film which constitutes the frame 53 located in the lower layer will also be put to etching. Therefore, it is desirable to form a frame 53 in this case from the light-shielding film stabilized chemically [it is strong to electric corrosion, or].

[0075] It compares with the case where the counterelectrode 21 is further formed all over the opposite substrate 20 as shown in drawing 9 from drawing 6 above, when all are formed also in the field to which a counterelectrode 21 counters wiring in a boundary region. With this operation gestalt, only the part to which the counterelectrode 21 has not countered the drawer wiring 116 from the picture signal line 115 or the picture signal line 115 concerned, and wiring of sampling circuit actuation signal-line 114 grade in a boundary region including a seal field or a frame field The parasitic capacitance between a counterelectrode 21 and wiring is reduced. Consequently, according to this operation gestalt, potential

fluctuation of the counterelectrode 21 by potential fluctuation of the picture signal on wiring resulting from the parasitic capacitance between a counterelectrode 21 and wiring etc. can be reduced.

[0076] Also when a counterelectrode 21 consists of ITO film of high resistance etc. comparatively like this operation gestalt especially, potential fluctuation of the counterelectrode 21 resulting from this can be efficiently reduced by reducing the parasitic capacitance between a counterelectrode 21 and wiring in this way. Consequently, potential of a counterelectrode 21 can be made into fixed potential (however, the fixed potential at the time of reversal actuation reversed periodically is also included) good.

[0077] In addition, if a counterelectrode 21 is not formed in a seal field like this operation gestalt, since the permeability in this field improves that much, in case the sealant which consists of ultraviolet-rays hardening resin, heat-curing resin, etc., for example is stiffened using ultraviolet rays etc., it becomes advantageous somewhat.

[0078] Next, the application of this operation gestalt is shown in drawing 10 and drawing 11. This operation gestalt explains the case where capacity coupling of the drawer wiring 116 from the picture signal line 115 or the picture signal line 115 concerned and not only wiring of sampling circuit actuation signal-line 114 grade but data-line 6a and a counterelectrode 21 is prevented.

[0079] It is made for drawing 10 not to form a counterelectrode 21 in the example of the opposite substrate 20 shown in drawing 6 in the field 405 which laps with data-line 6a further. Thereby, with the picture signal supplied to data-line 6a, since potential fluctuation of counterelectrode potential does not arise, a ghost's generating can be reduced still more nearly substantially.

[0080] Drawing 11 is a device for preventing resistance of a counterelectrode 21 becoming high, when constituted like drawing 10, is constituting so that the counterelectrode 21 which laps with data-line 6a may be removed in a field 406, and can make as small as possible resistance of the counterelectrode 21 of a part which laps with pixel electrode 9a.

[0081] In addition, the application shown in drawing 10 and drawing 11 can be combined with the example of the opposite substrate 20 shown in drawing 6 - drawing 9.

[0082] Next, the configuration in the image display field of the electro-optic device of this operation gestalt is explained with reference to drawing 12 and drawing 13. Drawing 12 is a top view of two or more pixel groups where the TFT array substrate with which the data line, the scanning line, a pixel electrode, etc. were formed adjoins each other. Drawing 13 is the B-B' sectional view of drawing 12. In addition, in order to make each class and each part material into the magnitude of extent which can be recognized on a drawing, contraction scales are made to have differed for each class or every each part material in drawing 12 and drawing 13.

[0083] The electro-optic device is equipped with the TFT array substrate 10 and the transparent opposite substrate 20 by which opposite arrangement is carried out at this in drawing 12 and drawing 13. The TFT array substrate 10 consists of for example, a quartz substrate, a glass substrate, and a silicon substrate, and the opposite substrate 20 consists of a glass substrate or a quartz substrate.

[0084] In drawing 12, on the TFT array substrate of an electro-optic device, two or more transparent pixel electrode 9a (the profile is shown by dotted-line section 9a') is prepared in the shape of a matrix, and data-line 6a and scanning-line 3a are prepared respectively along the boundary of pixel electrode 9a in every direction.

[0085] Moreover, scanning-line 3a is arranged so that channel field 1a' shown in the slash field of the drawing 12 Nakamigi riser among semi-conductor layer 1a may be countered, and scanning-line 3a functions as a gate electrode. Thus, the pixel TFT30 by which opposite arrangement of the scanning-line 3a was carried out as a gate electrode is formed in the crossing part of scanning-line 3a and data-line 6a at channel field 1a', respectively.

[0086] As shown in drawing 12 and drawing 13, capacity line 3b forms storage capacitance 70a through the insulating thin film 2 between 1f of pixel potential side capacity electrodes installed from high concentration drain field 1e of a pixel TFT30. Capacity line 3b is formed by the polish recon film of scanning-line 3a and this layer, and is etched by the same process. That is, 1f of pixel potential side

capacity electrodes consists of channel field 1a' of a pixel TFT30, and the same film, and the insulating thin film 2 which forms 1st storage capacitance 70a is formed from the same film as the gate dielectric film of a pixel TFT30. even if the thickness of the insulating thin film 2 is thin by this -- precise -- high -- storage capacitance can be formed with a dielectric film [****]. Moreover, capacity line 3b and 1f of pixel potential side capacity electrodes are installed to the lower part of data-line 6a, and 1st storage capacitance 70a is formed also in this field. Thus, the storage capacitance 70 in drawing 3 can be increased by using a non-opening field effectively.

[0087] On the other hand, bottom light-shielding film 11a is prepared in the TFT30 bottom on the TFT array substrate 10 in the shape of a grid. Bottom light-shielding film 11a consists of the metal simple substance containing at least one of refractory metals, such as Ti (titanium), Cr (chromium), W (tungsten), Ta (tantalum), Mo (molybdenum), and Pb (lead), an alloy, metal silicide, a polysilicon side, a thing that carried out the laminating of these. Bottom light-shielding film 11a can shade the reflected light from the TFT array substrate 10 side by arranging so that a pixel TFT30 may be covered from the TFT array substrate 10 side through the bottom insulator layer 12. Thereby, since channel field 1a' and the adjoining field of a pixel TFT30 can be shaded at least, light can prevent generating of the leakage current originated and produced. Moreover, if data-line 6a sets bottom light-shielding film 11a caudad as shown in drawing 12 , and it connects with capacity line 3b electrically through a contact hole 13, it will function as redundancy wiring of capacity line 3b. It is possible this not only can to realize constant resistance-ization of a capacity line, but to form storage capacitance through the bottom insulator layer 12 between 1f of pixel potential side capacity electrodes and bottom light-shielding film 11a.

[0088] Pixel electrode 9a is electrically connected to high concentration drain field 1e among semi-conductor layer 1a through contact holes 8a and 8b by relaying junction layer 80a. Junction layer 80a is electrically connected through high concentration drain field 1e of semi-conductor layer 1a, and contact hole 8a. If junction layer 80a is constituted so that it may pile up through a dielectric film 81 between capacity line 3b as shown in drawing 13 , it can form 2nd storage capacitance 70b. Thus, by forming laminating capacity in the upper part of capacity line 3b, and a lower part, it can see superficially and storage capacitance 70 can be increased also in a small field. Thereby, even if it extends an opening field, sufficient storage capacitance 70 can be obtained. A dielectric film 81 can increase 2nd storage capacitance 70b further by thin-film-izing, as long as pressure-proofing allows.

[0089] Moreover, if it forms from the metal simple substance which contains at least one of refractory metals, such as Ti (titanium), Cr (chromium), W (tungsten), Ta (tantalum), Mo (molybdenum), and Pb (lead), for junction layer 80a, an alloy, metal silicide, a polysilicon side, the thing that carried out the laminating of these, it can function as a light-shielding film.

[0090] Furthermore, upper part light-shielding film 80b may be formed in the shape of an island under the data-line 6a in the same layer as this junction layer 80a. Thereby, since a light-shielding film can be formed between data-line 6a and semi-conductor layer 1a, the optical exposure to channel field 1a' and its adjoining field can be prevented effectively.

[0091] Pixel electrode 9a is electrically connected to junction layer 80a through contact hole 8b punctured to the 1st interlayer insulation film 4 and the 2nd interlayer insulation film 7. Thus, since it does not run through thin semi-conductor layer 1a by making junction layer 80a intervene at the time of etching, yield lowering of a faulty connection etc. is not caused.

[0092] As shown in drawing 13 , data-line 6a is electrically connected with 1d of high concentration source fields of semi-conductor layer 1a through the contact hole 5 punctured by the insulating thin film 2, a dielectric film 81, and the 1st interlayer insulation film 4. Data-line 6a is formed from the low resistance film of protection-from-light nature, such as aluminum, and serves to shade incident light by seeing channel field 1a' of a pixel TFT30, and its adjoining field from the opposite substrate 20 side, and shading. Thereby, since channel field 1a' and the adjoining field of a pixel TFT30 can be shaded at least, light can prevent generating of the leakage current originated and produced.

[0093] Moreover, TFT30 for pixel switching has LDD (Lightly Doped Drain) structure. Channel field 1a' of

semi-conductor layer 1a in which a channel is formed of the electric field from scanning-line 3a and concerned scanning-line 3a, 1d list of high concentration source fields of low concentration source field 1b of the insulating thin film 2 containing the gate dielectric film with which scanning-line 3a and semi-conductor layer 1a are insulated, and semi-conductor layer 1a and low concentration drain field 1c, and semi-conductor layer 1a is equipped with high concentration drain field 1e.

[0094] Furthermore, the orientation film 16 with which predetermined orientation processing of rubbing processing etc. was performed is formed in the pixel electrode 9a upside. Pixel electrode 9a consists of transparency electric conduction film, such as ITO. Moreover, the orientation film 16 consists of organic film, such as for example, polyimide film.

[0095] On the other hand, it crosses to the opposite substrate 20 all over the, the counterelectrode 21 is formed, and the orientation film 22 with which predetermined orientation processing of rubbing processing etc. was performed is formed in the bottom. A counterelectrode 21 consists of transparency electric conduction film, such as ITO. Moreover, the orientation film 22 consists of organic film, such as polyimide film.

[0096] You may make it form the light-shielding film 23 of the shape of the shape of a grid, and a stripe in the opposite substrate 20. By taking such a configuration, it can prevent more certainly that the incident light from the opposite substrate 20 side invades into channel field 1a', low concentration source field 1b, and low concentration drain field 1c. furthermore, the field where incident light is irradiated to the light-shielding film on such an opposite substrate 20 at least -- high -- it serves to prevent the temperature rise of an electro-optic device by forming with aluminum [****] etc. Moreover, a light-shielding film 23 is the same film as the frame 53 in drawing, and may be formed at the same process.

[0097] Thus, between the TFT array substrates 10 and the opposite substrates 20 which have been arranged so that pixel electrode 9a and the counterelectrode 21 which were constituted may meet, the liquid crystal which is an example of electrooptic material is enclosed with the space surrounded by the sealant 52 (refer to drawing 1 R> 1 and drawing 2), and the liquid crystal layer 50 is formed.

[0098] With this operation gestalt, flattening of the front face of the 2nd interlayer insulation film 7 is carried out by CMP (Chemical MechanicalPolishing: chemical mechanical polishing) processing etc., and it reduces the poor orientation of the liquid crystal in the liquid crystal layer 50 resulting from the level difference by the various wiring and component which exist caudad.

[0099] With the operation gestalt explained above, although it is easing by carrying out flattening of the front face of the 3rd interlayer insulation film 7, that a level difference arises to the field which met data-line 6a and scanning-line 3a in the substrate side of pixel electrode 9a by carrying out the laminating of many conductive layers as shown in drawing 13 It may replace with this, or, in addition, the TFT array substrate 10, the substrate insulator layer 12, the 1st interlayer insulation film 4, and the 2nd interlayer insulation film 7 may be trenched, and flattening processing may be performed by embedding wiring and the pixel TFT30 grade of data-line 6a etc.

[0100] In addition, it cannot be overemphasized that TFT which constitutes the data-line actuation circuit 101, the sampling circuit 301, and the scanning-line actuation circuit 104 in drawing 3 R> 3 can be formed according to the same process as a pixel TFT30.

[0101] Next, with reference to drawing 14 and drawing 15 , explanation is added about the manufacture process of the opposite substrate 20 equipped with the counterelectrode 21 grade. It is process drawing showing order for the cross section of the part corresponding to drawing 5 [in / here / in drawing 14 / each process of manufacture of an opposite substrate] later on, and drawing 15 is the top view showing the opposite substrate currently formed on the mother substrate. [many]

[0102] At the process (1) of drawing 14 , the frame 53 which has the flat-surface pattern which showed light-shielding films, such as aluminum and Cr, by sputtering, CVD (chemical vacuum deposition), etc., and showed them to drawing 1 by the photolithography and etching after formation the whole surface on the opposite substrate 20 is formed.

[0103] Next, at the process (2) of drawing 14 , ITO film 21' is formed by CVD etc. all over the opposite substrate 20 including a frame 53. ITO film 21' generally formed in this way is used as a counterelectrode 21 as it is.

[0104] Next, at the process (3) of drawing 14 , a photoresist 600 is formed in the field except the field (for example, field 401 of drawing 6) which laps with the wiring section by the photolithography and etching.

[0105] Next, at the process (4) of drawing 14 , through this photoresist 600, ITO film 21' is etched and a counterelectrode 21 is formed with the combination of dry etching, wet etching, or both. A photoresist 600 is exfoliated after that. In manufacturing the example especially shown in drawing 8 R> 8 from drawing 6 , since a frame 53 is not put to etching, it becomes possible at this process to form a frame as mentioned above from the film which contains weak aluminum in electric corrosion. On the other hand, since a frame 53 is exposed and it is put to etching at this process when manufacturing the example shown in drawing 8 , it is desirable to adopt a light-shielding film strong against electric corrosion.

[0106] Finally, at the process (5) of drawing 14 , organic film, such as polyimide film, is formed the whole surface on the opposite substrate 20 including a counterelectrode 21, rubbing processing of the predetermined direction is performed to this, and the orientation film 22 is formed.

[0107] According to the manufacture process of this operation gestalt, the opposite substrate concerning the electro-optic device of this operation gestalt mentioned above can be manufactured comparatively easily as mentioned above. It will end, if only the process which carries out patterning adds ITO film 21' shown in the process (3) and process (4) of drawing 14 as compared with the manufacture process which forms a counterelectrode all over the usual substrate especially.

[0108] As shown in drawing 15 , with this operation gestalt, simultaneous formation of many opposite substrates 20 is carried out by performing each process of drawing 14 preferably to each field divided with the cutting plane line 501 on the mother substrate 500. And it can cut easily by rotating a dicing blade along with a cutting plane line 501 after the process (5) of drawing 14 . Thereby, it considers as each opposite substrate 20. here -- more -- desirable -- a process -- (-- three --) -- and -- a process -- (-- four --) -- ITO -- the film -- 21 -- ' -- patterning -- carrying out -- the time -- a cutting plane line -- 501 -- having met -- a field -- forming -- having had -- ITO -- the film -- 21 -- ' -- a part -- removing . Specifically, the before-it-happens prevention of the generating of the dust of the ITO film and a foreign matter produced in case an opposite substrate is cut down can be carried out by removing ITO film 21' from the cutting plane line 501 to the field of a broken line 502. That is, since the process for protecting that dust and a foreign matter are generated from the ITO film can be performed as the same process in case the opposite substrate 20 is cut down from the mother substrate 500, the process which carries out patterning of the counterelectrode 21, and, it is advantageous on a production process. Moreover, the scribe method may be used as an approach of cutting down the opposite substrate 20 from the mother substrate 500.

[0109] You may make it connect with LSI for actuation mounted on the TAB (Tape Automated bonding) substrate instead of forming the data-line actuation circuit 101 and the scanning-line actuation circuit 104 on the TFT array substrate 10 electrically and mechanically through the anisotropy electric conduction film prepared in the periphery of the TFT array substrate 10 with the operation gestalt explained with reference to drawing 12 from drawing 1 above. Moreover, according to the exception of modes of operation, such as TN mode, VA (Vertically Aligned) mode, and PDLC (Polymer Dispersed LiquidCrystal) mode, and the no MARI White mode / NOMA reeve rack mode, a polarization film, a phase contrast film, a polarizing plate, etc. are respectively arranged in a predetermined direction at the side in which the outgoing radiation light of the side in which the incident light of the opposite substrate 20 carries out incidence, and the TFT array substrate 10 carries out outgoing radiation.

[0110] (Application of an electro-optic device) The electro-optic device in each operation gestalt explained above is applicable to a projector. The projector using the electro-optic device mentioned

above as a light valve is explained. Drawing 17 is the top view showing the configuration of this projector. As shown in this drawing, the lamp unit 1102 which consists of sources of the white light, such as a halogen lamp, is formed in the projector 1100 interior. It is separated into the three primary colors of RGB by the mirror 1106 of three sheets and the dichroic mirror 1108 of two sheets which have been arranged inside, and the incident light injected from this lamp unit 1102 is led to the light valves 100R, 100G, and 100B corresponding to each primary color, respectively. Here, it drives, respectively with the primary signal of R, G, and B which are supplied from the processing circuit (graphic display abbreviation) which that of the configuration of light valves 100R, 100G, and 100B is the same as that of the electro-optic device concerning the operation gestalt mentioned above, and inputs a picture signal. Moreover, the light of B color is drawn through the relay lens system 1121 which consists of the incidence lens 1122, a relay lens 1123, and an outgoing radiation lens 1124, in order to prevent the loss, since the optical path is long as compared with other R colors and G colors.

[0111] Now, incidence of the light modulated with light valves 100R, 100G, and 100B, respectively is carried out to a dichroic prism 1112 from three directions. And in this dichroic prism 1112, while the light of R color and B color is refracted at 90 degrees, the light of G color goes straight on. Therefore, after the image of each color is compounded, it will be projected on a color picture by the screen 1120 with a projector lens 1114.

[0112] In addition, since the light corresponding to each primary color of R, G, and B carries out incidence to light valves 100R, 100G, and 100B with a dichroic mirror 1108, as mentioned above, it is not necessary to prepare a light filter. Moreover, since it is projected on the transmission image of light valve 100G as it is to being projected after reflecting the transmission image of light valves 100R and 100B with a dichroic mirror 1112, it has the composition of carrying out right-and-left reversal of the display image by light valves 100R and 100B to the display image by light valve 100G.

[0113] In addition, with each operation gestalt, the light filter is not prepared in the opposite substrate 20. However, the light filter of RGB may be formed in the predetermined field which counters pixel electrode 9a on the opposite substrate 20 with the protective coat. If it does in this way, the electro-optic device in each operation gestalt is applicable about the color electro-optic device of direct viewing types other than a projector, or a reflective mold. Moreover, a micro lens may be formed so that it may correspond 1 pixel on [one] the opposite substrate 20. Or it is also possible to form a light filter layer in the bottom of pixel electrode 9a which counters RGB on the TFT array substrate 10 by a color resist etc. If it does in this way, a bright electro-optic device is realizable by improving the condensing effectiveness of incident light. Furthermore, the die clo IKKU filter which makes a RGB color using interference of light by depositing the interference layer to which the refractive index of many layers is different on the opposite substrate 20 again may be formed. According to this opposite substrate with a die clo IKKU filter, a brighter color electro-optic device is realizable.

[0114] This invention is not restricted to the operation gestalt mentioned above, and can be suitably changed in the range which is not contrary to the summary or thought of invention which can be read in a claim and the whole description, and the electro-optic device accompanied by such modification and its manufacture approach are also included in the technical range of this invention.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the top view which looked at the TFT array substrate in the electro-optic device of the operation gestalt of this invention from the opposite substrate side with each component formed on it.

[Drawing 2] It is the H-H' sectional view of drawing 1 .

[Drawing 3] It is the block diagram of equal circuits established in two or more pixels of the shape of a matrix which constitutes the image display field in the electro-optic device of the operation gestalt of this invention, such as various components and wiring, and a circumference circuit.

[Drawing 4] It is flat-surface pattern drawing in the C region of drawing 2 .

[Drawing 5] It is the A-A' sectional view of drawing 4 .

[Drawing 6] It is the top view showing one example of the flat-surface pattern of the counterelectrode in the electro-optic device of this operation gestalt.

[Drawing 7] It is the top view showing other examples of the flat-surface pattern of the counterelectrode in the electro-optic device of this operation gestalt.

[Drawing 8] It is the top view showing other examples of the flat-surface pattern of the counterelectrode in the electro-optic device of this operation gestalt.

[Drawing 9] It is the top view showing other examples of the flat-surface pattern of the counterelectrode in the electro-optic device of this operation gestalt.

[Drawing 10] It is the top view of the flat-surface pattern of the counterelectrode in the electro-optic device of this operation gestalt showing an example once.

[Drawing 11] It is the top view showing other applications of the flat-surface pattern of the counterelectrode in the electro-optic device of this operation gestalt.

[Drawing 12] It is the top view of two or more pixel groups where the TFT array substrate with which the data line in the electro-optic device of an operation gestalt, the scanning line, a pixel electrode, etc. were formed adjoins each other.

[Drawing 13] It is the B-B' sectional view of drawing 12 .

[Drawing 14] It is process drawing showing the manufacture process of the opposite substrate concerning this operation gestalt.

[Drawing 15] It is the top view of the mother substrate containing many opposite substrates concerning this operation gestalt.

[Drawing 16] It is timing-chart drawing having shown potential fluctuation of the counterelectrode potential by potential fluctuation of a picture signal.

[Drawing 17] It is the top view showing the configuration of a projector.

[Description of Notations]

1a -- Semi-conductor layer

1a' -- Channel field

1b -- Low concentration source field

1c -- Low concentration drain field

1d -- High concentration source field

1e -- High concentration drain field

2 -- Insulating thin film

3a -- Scanning line

6a -- Data line

9a -- Pixel electrode

10 -- TFT array substrate

11a -- Bottom light-shielding film
12 -- Substrate insulator layer
16 -- Orientation film
20 -- Opposite substrate
21 -- Counterelectrode
22 -- Orientation film
30 -- TFT
50 -- Liquid crystal layer
70 -- Storage capacitance
101 -- Data-line actuation circuit
104 -- Scanning-line actuation circuit
114 -- Sampling circuit actuation signal line
115 -- Picture signal line
116 -- Drawer wiring
301 -- Sampling circuit
500 -- Mother substrate

[Translation done.]